

Family list

1 application(s) for: **JP2005327865 (A)**

1 METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Inventor: SAKAKURA MASAYUKI ; INOUE KOKI **Applicant:** SEMICONDUCTOR ENERGY LAB

EC: **IPC:** *H01L51/50; H01L21/20; H01L21/268; (+14)*

Publication info: **JP2005327865 (A)** — 2005-11-24

Data supplied from the **esp@cenet** database — Worldwide

(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Patent Application Laid-Open No.: 2005-327865 (P2005-327865A)

(43) Laid-Open Date: November 24, H17 (11. 24. 2005)

5	(51) Int. Cl. ⁷	FI	Theme Code (reference)
	H01L 21/20	H01L 21/20	3K007
	H01L 21/268	H01L 21/268 F	5F052
	H01L 21/322	H01L 21/322 G	5F110
	H01L 21/336	H05B 33/14 A	
10	H01L 29/786	H01L 29/78 627G	

Request for Examination: Not filed

The Number of Claims: 10 OL (38 Pages in Total) continued to the last page

(21) Application No.: Japanese Patent Application No. 2004-143928 (P2004-143928)

(22) Application Date: May 13, H16 (5. 13. 2004)

15 (71) Applicant: 000153878
Semiconductor Energy Laboratory Co., Ltd.
398, Hase, Atsugi-shi, Kanagawa-ken

(74) Representatives: 100110858
Patent Attorney Mutsuyasu YANASE

20 (74) Representatives: 100100413
Patent Attorney Atsushi WATANABE

(72) Inventor: Masayuki SAKAKURA
c/o Semiconductor Energy Laboratory Co., Ltd.
398, Hase, Atsugi-shi, Kanagawa-ken

25 (72) Inventor: Koki INOUE
c/o Semiconductor Energy Laboratory Co., Ltd.
398, Hase, Atsugi-shi, Kanagawa-ken

F term (reference) 3K007 BA06 DB03 FA00 GA00

continued to the last page

(54) [Title of the Invention] MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(57) [Summary]

[Purpose]

5 To prevent pinholes from remaining on a surface of a crystalline silicon film.

[Solving means]

An amorphous semiconductor film 3 containing silicon is formed over a substrate 1 and a metal element for promoting crystallization of the amorphous semiconductor film 3 is added to the amorphous semiconductor film 3, thereby
10 forming a metal-containing layer 4. The amorphous semiconductor film is crystallized by performing a first heat treatment on the a metal-containing layer 4 to form a crystallized semiconductor film 5a. The crystallized semiconductor film 5a is irradiated with a first laser light so as to be further crystallized. A gettering layer 7
15 formed of a semiconductor containing a rare gas element is formed over the crystallized semiconductor film 5a. The metal element is gettered by the gettering layer 7, so that the metal element contained in the crystallized semiconductor film 5a is removed or reduced. After removing the gettering layer 7, the crystallized semiconductor film 5a is irradiated with a second laser light or intense light having a
20 lower energy density than the first laser light, whereby pinholes on the surface of the crystallized semiconductor film 5a is filled.

[Selected Drawing] FIG. 2

[Document Name] Scope of Claim

[Claim 1]

A method for manufacturing a semiconductor device, comprising:

5 a step of forming an amorphous semiconductor film containing silicon over a substrate having an insulating surface;

a step of adding a metal element for promoting crystallization of the amorphous semiconductor film to the amorphous semiconductor film;

10 a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous semiconductor film;

a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light;

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film;

15 a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer;

a step of removing or reducing the metal element contained in the crystallized semiconductor film by gettering the metal element to the gettering layer;

20 a step of removing the gettering layer by performing etching with the barrier layer as a stopper;

a step of removing the barrier layer; and

a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light.

[Claim 2]

25 The method for manufacturing the semiconductor device according to Claim 1, wherein the step of forming the barrier layer is a step in which a surface of the crystallized semiconductor film is oxidized by a solution containing ozone.

[Claim 3]

A method for manufacturing a semiconductor device, comprising:

a step of forming an amorphous semiconductor film containing silicon over a substrate having an insulating surface;

a step of adding a metal element for promoting crystallization of the amorphous semiconductor film to the amorphous semiconductor film;

5 a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous semiconductor film;

a step of removing an oxide film formed on a surface of the crystallized semiconductor film by etching;

10 a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light;

a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light;

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film;

15 a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer;

a step of performing gettering by moving the metal element to the gettering layer;

20 a step of removing the gettering layer by performing etching with the barrier layer as a stopper;

a step of removing the barrier layer; and

a step of irradiating the crystallized semiconductor film with third laser light having a lower energy density than the first laser light.

25 [Claim 4]

A method for manufacturing a semiconductor device, comprising:

a step of forming an amorphous semiconductor film containing silicon over a substrate having an insulating surface;

a step of adding a metal element for promoting crystallization of the

amorphous semiconductor film to the amorphous semiconductor film;

a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous semiconductor film;

5 a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light;

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film;

10 a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer;

a step of removing or reducing the metal element contained in the crystallized semiconductor film by gettering the metal element to the gettering layer;

a step of removing the gettering layer by performing etching with the barrier layer as a stopper;

15 a step of removing the barrier layer;

a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light;

a step of forming a gate insulating film over the crystallized semiconductor film; and

20 a step of forming a gate electrode over the gate insulating film.

[Claim 5]

A method for manufacturing a semiconductor device, comprising:

a step of forming a gate electrode over a substrate having an insulating surface;

25 a step of forming a gate insulating film over the gate electrode;

a step of forming an amorphous semiconductor film containing silicon over the gate insulating film;

a step of adding a metal element for promoting crystallization of the amorphous semiconductor film to the amorphous semiconductor film;

a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous semiconductor film;

5 a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light;

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film;

a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer;

10 a step of removing or reducing the metal element contained in the crystallized semiconductor film by gettering the metal element to the gettering layer;

a step of removing the gettering layer by performing etching with the barrier layer as a stopper;

a step of removing the barrier layer; and

15 a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light.

[Claim 6]

The method for manufacturing the semiconductor device according to any one of Claims 1 to 5, wherein the step of performing gettering is a step in which a second
20 heat treatment is performed to the gettering layer and the amorphous semiconductor film.

[Claim 7]

The method for manufacturing the semiconductor device according to any one of Claims 1 to 5, wherein the step of performing gettering is a step in which the
25 gettering layer and the amorphous semiconductor film are irradiated with intense light.

[Claim 8]

The method for manufacturing the semiconductor device according to any one of Claims 1 to 5, wherein the step of performing gettering is a step in which a heat treatment is performed to and intense light is emitted to the gettering layer and the

amorphous semiconductor film.

[Claim 9]

The method for manufacturing the semiconductor device according any one of Claims 1 to 8, wherein the metal element is one kind or plural kinds selected from Fe,
5 Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au.

[Claim 10]

The method for manufacturing the semiconductor device according any one of Claims 1 to 9, wherein the rare gas element contained in the gettering layer is one kind or plural kinds selected from He, Ne, Ar, Kr, and Xe.

10 [Detailed Description of the Invention]

[Technical field]

[0001]

The present invention relates to a manufacturing method of a semiconductor device having a circuit including a thin film transistor (hereinafter referred to as TFT).

15 Note that in this specification, a semiconductor device refers to a device in general which operates utilizing semiconductor characteristics. A semiconductor device manufactured according to the present invention includes, in its category, a liquid crystal display device, a light-emitting display device, and an electronic appliance having a semiconductor integrated circuit (a micro processor, a signal processing
20 circuit, a high frequency circuit, or the like) which is formed using TFTs.

[Related Art]

[0002]

In many cases, TFTs is used in a driving circuit and a pixel portion of a liquid crystal display device, a light-emitting display device (such as an organic EL display
25 device), and the like. If a crystalline silicon film is used in an active layer of a TFT, a high electron field-effect mobility can be realized. Since an electron field-effect mobility has a direct effect on a response characteristic of the TFT, it has a direct effect on a display ability of the liquid crystal display device which has the TFTs as a driving circuit. Therefore, it is necessary to form a crystalline semiconductor film with high

quality.

[0003]

It is known that when an amorphous silicon film is crystallized with a metal element such as nickel being added thereto, the metal element serves as a catalyst to promote crystallization and a temperature required for the crystallization is lowered. In addition, it is known that the crystallization is further promoted when the crystalline silicon film formed in such a manner is irradiated with a laser. However, if the metal element remains in the crystalline silicon film which is an active layer of a TFT, electrical characteristics of TFTs may vary. Therefore, it is necessary to remove the metal element from the crystalline silicon film after the crystallization. Accordingly, the applicant developed a method in which the metal element contained in the crystalline silicon film is removed or reduced by forming a barrier layer and a semiconductor film containing a rare gas element in this order over the crystalline silicon film and making the semiconductor film serve as a gettering layer of the metal element. (For example, see Patent Document 1).

[Patent Document 1] Japanese Published Patent Application No.2002-324808

[Disclosure of the Invention]

[Problems to be solved by the Invention]

[0004]

In the foregoing method for removing or reducing the metal element contained in the crystalline silicon film, there is a case where pinholes are formed on a surface of the crystalline silicon film when the gettering layer and the barrier layer are removed by etching after gettering. A reason for this is assumed to be either the first or the second one described below.

[0005]

First, the first reason is described with reference to cross-sectional views of FIG. 16A to 16C. As shown in FIG. 16A, when a crystalline silicon film 1002 over a base film 1001 is irradiated with a laser, the surface becomes uneven and projections are formed. Metal elements are concentrated at the portion of the projections, so that

an alloy 1009 of the metal and Si is formed. Then, a barrier layer 1004 formed of an oxide film is formed, but the barrier layer 1004 is not formed over the portion where the alloy 1009 is formed. Subsequently, a gettering layer 1006 formed of a semiconductor film is formed over the barrier layer 1004 and a heat treatment is performed. Thus, a large portion of the metal elements contained in the crystalline silicon film 1002 are gettered by the gettering layer 1006. At this time, the superficial layer of the gettering layer 1006 is oxidized to form an oxide film 1008.

[0006]

Next, as shown in FIG. 16B, the oxide film 1008 is removed by performing etching with the gettering layer 1006 as an etching stopper. Then, as shown in FIG. 16C, the gettering layer 1006 is removed by performing etching with the barrier layer 1004 as an etching stopper. At this time, since the barrier layer 1004 is not formed over a portion of the crystalline silicon film 1002 in which the alloy 1009 is formed, the crystalline silicon film 1002 is also etched together with the gettering layer 1006; whereby pinholes 1010 are formed.

[0007]

Secondly, the second reason is described with reference to FIGS. 17A to 17D. As shown in FIG. 17A, when the crystalline silicon film 1002 over the base film 1001 is irradiated with a laser, projections are formed partially. Metal elements are concentrated at the portion of the projections, so that the alloy 1009 of the metal and Si is formed. Subsequently, the barrier layer 1004 and the gettering layer 1006 formed of a semiconductor film are formed in this order. At this time, the barrier layer 1004 is also formed over the projections.

[0008]

Next, as shown in FIG. 17B, a heat treatment is performed. By this, most of the metal elements contained in the crystalline silicon film 1002 are gettered by the gettering layer 1006. At this time, the superficial layer of the gettering layer 1006 is oxidized to form the oxide film 1008. In addition, the metal element forming the alloy 1009 is moved to the gettering layer 1006 to form an alloy 1011 of the

semiconductor and the metal in the gettering layer 1006.

[0009]

Then, as shown in FIG. 17C, the oxide film 1008 is removed by performing etching with the gettering layer 1006 as an etching stopper. At this time, since the alloy 1011 is also etched, a portion of the barrier layer 1004 which is located under the alloy 1011 is also etched and removed.

Then, as shown in FIG. 17D, the gettering layer 1006 is removed by performing etching with the barrier layer 1004 as an etching stopper. At this time, a portion of the crystalline silicon film 1002 over which the alloy 1009 existed is also etched together with the gettering layer 1006 since the barrier layer 1004 is not provided thereover; whereby the pinholes 1010 is formed.

[0010]

If pinholes are formed in a crystalline semiconductor film such as a crystalline silicon film in such a manner, characteristics of a TFT or the like is affected. Therefore, it is desirable that pinholes do not remain in the crystalline semiconductor film.

The present invention is made in view of the foregoing circumstance and its object is to provide a manufacturing method of a semiconductor device in which the number of pinholes on a surface of a crystalline semiconductor film is reduced.

[Means for Solving the Problem]

[0011]

In order to solve the foregoing problem, a first method of the present invention for manufacturing a semiconductor device includes,

a step of forming an amorphous semiconductor film containing silicon over a substrate having an insulating surface,

a step of adding a metal element for promoting crystallization of the amorphous semiconductor film to the amorphous semiconductor film,

a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous

semiconductor film,

a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light,

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film,

a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer,

a step of removing or reducing the metal element contained in the crystallized semiconductor film by gettering the metal element to the gettering layer,

a step of removing the gettering layer by performing etching with the barrier layer as a stopper,

a step of removing the barrier layer, and

a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light.

[0012]

According to this method for manufacturing the semiconductor device, since the crystallized semiconductor film is irradiated with the second laser light having a lower energy density than the first laser light, even if pinholes are formed in the crystallized semiconductor film while removing the gettering layer serving as a gettering sink of the metal element, the pinholes can be filled. Therefore, the number of pinholes remaining in the crystallized semiconductor film can be reduced in the manufactured semiconductor device.

[0013]

In the first method for manufacturing the semiconductor device, the step of forming the barrier layer is a step in which a surface of the crystallized semiconductor film is oxidized by a solution containing ozone.

[0014]

A second method for manufacturing a semiconductor device of the present invention includes,

a step of forming an amorphous semiconductor film containing silicon over a substrate having an insulating surface,

a step of adding a metal element for promoting crystallization of the amorphous semiconductor film to the amorphous semiconductor film,

5 a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous semiconductor film,

a step of removing an oxide film formed on a surface of the crystallized semiconductor film by etching,

10 a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light,

a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light,

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film,

15 a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer,

a step of performing gettering by moving the metal element to the gettering layer,

20 a step of removing the gettering layer by performing etching with the barrier layer as a stopper,

a step of removing the barrier layer, and

a step of irradiating the crystallized semiconductor film with third laser light having a lower energy density than the first laser light.

25 [0015]

According to this second method for manufacturing the semiconductor device, the same effect as the first method for manufacturing the semiconductor device can be obtained.

In addition, there is a case in which an oxide film may be formed on a surface

of the crystallized semiconductor film while forming the crystallized semiconductor film by treating the amorphous semiconductor film with heat. When removing this oxide film by etching, pinholes may be formed on the surface of the crystallized semiconductor film. On the other hand, in the second method for manufacturing a semiconductor device, the crystallized semiconductor film is irradiated with the second laser light after the irradiation of the first laser light. Therefore, even in the case in which the pinholes are formed on the surface of the crystallized semiconductor film while etching the oxide film, these pinholes can be filled.

[0016]

10 A third method for manufacturing a semiconductor device of the present invention includes,

a step of forming an amorphous semiconductor film containing silicon over a substrate having an insulating surface,

15 a step of adding a metal element for promoting crystallization of the amorphous semiconductor film to the amorphous semiconductor film,

a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous semiconductor film,

20 a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light,

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film,

a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer,

25 a step of removing or reducing the metal element contained in the crystallized semiconductor film by gettering the metal element to the gettering layer,

a step of removing the gettering layer by performing etching with the barrier layer as a stopper,

a step of removing the barrier layer,

a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light,

a step of forming a gate insulating film over the crystallized semiconductor film, and

5 a step of forming a gate electrode over the gate insulating film.

[0017]

A fourth method for manufacturing a semiconductor device of the present invention includes,

10 a step of forming a gate electrode over a substrate having an insulating surface,

a step of forming a gate insulating film over the gate electrode,

a step of forming an amorphous semiconductor film containing silicon over the gate insulating film,

15 a step of adding a metal element for promoting crystallization of the amorphous semiconductor film to the amorphous semiconductor film,

a step of forming a crystallized semiconductor film by crystallizing the amorphous semiconductor film by performing a first heat treatment on the amorphous semiconductor film,

20 a step of further crystallizing the crystallized semiconductor film by irradiating the crystallized semiconductor film with first laser light,

a step of forming a barrier layer protecting the crystallized semiconductor film over the crystallized semiconductor film,

a step of forming a gettering layer formed of a semiconductor containing a rare gas element over the barrier layer,

25 a step of removing or reducing the metal element contained in the crystallized semiconductor film by gettering the metal element to the gettering layer,

a step of removing the barrier layer, and

a step of irradiating the crystallized semiconductor film with second laser light having a lower energy density than the first laser light.

[0018]

In any of the foregoing manufacturing methods of the semiconductor device, the gettering step may be a step in which a second heat treatment is performed to the amorphous semiconductor film and the gettering layer, or may be a step in which the
5 gettering layer and the amorphous semiconductor film is irradiated with intense light. Alternatively, it may be a step in which a heat treatment is performed to and intense light is emitted to the gettering layer and the amorphous semiconductor film.

[0019]

In any one of the foregoing methods for manufacturing the semiconductor
10 device, the metal element is preferably one kind or plural kinds selected from Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au.

In any one of the foregoing method for manufacturing the semiconductor device, the rare gas element contained in the gettering layer is preferably one kind or plural kinds selected from He, Ne, Ar, Kr, and Xe.

15 [Effect of the Invention]

[0020]

As described above, according to the present invention, even if pinhole are formed while removing the gettering layer serving as a gettering sink of the metal element, the pinholes can be filled. Therefore, the number of pinholes remaining in
20 the crystallized semiconductor film can be reduced in the manufactured semiconductor device.

[Embodiment Modes for carrying out the Invention]

[0021]

(Embodiment Mode 1)

25 Hereinafter, Embodiment Mode 1 of the present invention is described with reference to FIGS. 1A to 5. A manufacturing method of a semiconductor device of this embodiment mode includes a step of forming an amorphous semiconductor film over an insulating surface, a step of adding a metal element (such as nickel) for promoting crystallization to the amorphous semiconductor film, a step of forming a

crystallized semiconductor film by crystallizing the amorphous semiconductor film by a heating treatment, a step of irradiating the crystallized semiconductor film with a first laser light to enhance its crystallinity, a step of forming an oxide film which is a barrier layer over the crystallized semiconductor film, a step of forming a gettering layer over the barrier layer, a step of gettering the metal element in the crystallized semiconductor film to the gettering layer by performing a heat treatment on the crystallized semiconductor film, the barrier layer, and the gettering layer, a step of removing the gettering layer and the barrier layer, and a step of filling pinholes over the crystallized semiconductor film by irradiating the crystallized semiconductor film with a second laser light which has a lower energy density (for example, has a lower energy density by approximately 30 mJ/cm^2 to 60 mJ/cm^2) than the first laser light in an inert gas atmosphere, a vacuum, or an air.

[0022]

First, as shown in FIG. 1A, a base insulating film 2 is formed over a substrate 1. Here, as the substrate 1, a glass substrate, a quartz substrate, a ceramic substrate, or the like can be used. Alternatively, a silicon substrate, a metal substrate, or a stainless steel substrate with an insulating film on their surfaces may be used. Further alternatively, a plastic substrate which can thermally withstand a processing temperature in every step described below may be used.

[0023]

The base insulating film 2 is formed so that an element contained in the substrate 1 (such as an alkali metal) is not diffused to a semiconductor film to be formed thereover. As the base insulating film 2, an insulating film such as a silicon oxide film, a silicon nitride film, or a silicon oxynitride film (SiO_xN_y) is used. For example, an insulating film in which a first layer and a second layer are stacked is shown below as an example. The first layer is a first silicon oxynitride film which is formed using SiH_4 , NH_3 , and N_2O as a reactive gas, and has a film thickness of 50 to 100 nm. The second layer is a second silicon oxynitride film which is formed using SiH_4 and N_2O as a reactive gas, and has a film thickness of 100 to 150 nm.

Alternatively, the base insulating film 2 may have a single-layer structure. In this case, it is preferable that a silicon nitride film (SiN film) or a second silicon oxynitride film (SiN_xO_y film (X > Y)) which is formed by the foregoing process be used as the base insulating film 2. During gettering, the metal element (such as nickel) tends to
5 move to a region having a high oxygen concentration, therefore, it is preferable that the base insulating film 2 be a silicon nitride film. Further, an insulating film having a three-layer structure may be the base insulating film 2, in which a first silicon oxynitride film, a second silicon oxynitride film, and a silicon nitride film are sequentially stacked.

10 [0024]

Subsequently, a semiconductor film (hereinafter, referred to as an amorphous semiconductor film) 3 having an amorphous structure is formed over the base insulating film 2 by, for example, a sputtering method. The amorphous semiconductor film 3 is formed of a semiconductor material containing silicon as its
15 main component. For example, the amorphous semiconductor film 3 is an amorphous silicon film, an amorphous silicon germanium film, or the like and is formed by a plasma CVD method, a low pressure CVD method, or a sputtering method to have a thickness of 10 to 100 nm. In order to obtain a superior crystalline structure in a subsequent crystallization step, an impurity concentration of oxygen, nitrogen, and the
20 like contained in the amorphous semiconductor film 3 is preferably reduced to be $5 \times 10^{18}/\text{cm}^3$ (an atomic concentration measured by secondary ion mass spectrometry (SIMS)) or lower. Such impurities become a factor to obstruct the subsequent crystallization and after the crystallization, become a factor to increase a density of a trapping center or a recombination center. Therefore, it is desirable to use an
25 ultra-high vacuum CVD apparatus provided with a reaction chamber in which a mirror surface treatment (electric field polishing treatment) is performed and with an oil-free type vacuum evacuation system, as well as to use a material gas of high purity.

[0025]

Then, the amorphous semiconductor film 3 is crystallized. Here, a technique

described in Japanese Published Patent Application No. H8-78329 is used. The technique described in the bulletin is to selectively add a metal element for promoting crystallization to an amorphous silicon film (also called amorphous silicon film) and to perform a heating treatment so as to crystallize the amorphous silicon film with the added region as a starting point. The details are described below.

[0026]

First, as shown in FIG. 1B, a metal-containing layer 4 is formed over the surface of the amorphous semiconductor film 3. The a metal-containing layer 4 contains a metal element (for example, one kind or plural kinds selected from Fe, Ni, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au) which has a catalyst action for promoting crystallization of a semiconductor film. When the metal element is Ni, the a metal-containing layer 4 is formed, for example, by applying a nickel acetate solution containing nickel at 1 to 100 ppm in weight by a spinner. Note that in addition to coating, a forming method of the metal-containing layer 4 is a method for forming an extremely thin film by a sputtering method, a vapor deposition method, or a plasma treatment. In addition, although an example in which the entire surface is coated is shown here, the metal-containing layer may be selectively formed by forming a mask. Further, the metal-containing layer 4 may be formed before forming the amorphous semiconductor film 3, that is, under the amorphous semiconductor film 3.

[0027]

Then, as shown in FIG. 1C, a heating treatment is performed to the substrate 1, the base insulating film 2, the amorphous semiconductor film 3, and the metal-containing layer 4. By this, an alloy of the metal element and the semiconductor is formed in the semiconductor and crystallization progresses with the alloy as the nucleus. Accordingly, the amorphous semiconductor film 3 is crystallized and a semiconductor film 5a having a crystalline structure (hereinafter, referred to as a crystallized semiconductor film) is formed. Note that it is desirable that the concentration of oxygen contained in the crystallized semiconductor film 5a be set to $5 \times 10^{18}/\text{cm}^3$ or lower. Here, after a heat treatment for dehydrogenation (at

450°C for 1 hour), a heat treatment for crystallization (at 550°C to 650°C for 4 to 24 hours) is performed.

[0028]

Alternatively, crystallization of the amorphous semiconductor film 3 can be performed by irradiation of intense light instead of the heating treatment. In this case, any one or a combination of infrared light, visible light, or ultraviolet light, can be used. Typically, light emitted from a halogen lamp, a metal halide lamp, a xenon arc lamp, a carbon arc lamp, a high pressure sodium lamp, or a high pressure mercury lamp is used. A lamp light source is lighted for 1 to 60 seconds, preferably 30 to 60 seconds, and such lightning is repeated 1 to 10 times, preferably, 2 to 6 times. The light-emission intensity of the lamp light source is arbitrary, but it is set so that the semiconductor film is instantaneously heated up to approximately 600 to 1000°C. Note that, if necessary, a heat treatment may be performed so that hydrogen contained in the amorphous semiconductor film 3 having an amorphous structure is discharged before the irradiation of intense light. Alternatively, the crystallization may be performed by performing both the heating treatment and intense light irradiation.

[0029]

Note that during the foregoing heating treatment or intense light irradiation treatment, an oxide film which is not shown is formed on the surface of the crystallized semiconductor film 5a. The oxide film is preferably removed by etching before performing the next step.

[0030]

Then, as shown in FIG. 1D, the crystallized semiconductor film 5a is irradiated with the first laser light in an air or oxygen atmosphere in order to increase a crystallization rate (proportion of a crystalline component to the total volume of the film) and to repair defects remaining in crystal grains. Note that when the first laser light is emitted, as shown in an enlarged view of FIG. 1D, projections and depressions are formed on the surface of the crystallized semiconductor film 45a. Subsequently, the metal aggregates to the tip of the projected portion to form an alloy 5b of the

semiconductor and the metal (for example, NiSi). Note that although not shown, the superficial layer of the crystallized semiconductor film 5a is oxidized, and the oxide film serves as a part of the barrier layer described below.

[0031]

5 As the first laser light, a pulsed or CW excimer laser, YAG laser, YVO₄ laser, YLF laser, YAlO₃ laser, glass laser, ruby laser, Alexandrite laser, sapphire laser, or the like which has a wavelength of 400 nm or shorter can be used. Alternatively, light emitted from an ultraviolet lamp may be used instead of the foregoing laser lights.

In the case of using the foregoing laser, laser light emitted from the laser
10 oscillator may be linearly condensed with an optical system and emitted to the semiconductor film. Although the crystallization condition is appropriately selected by a practitioner, in the case of using a pulsed excimer laser, for example, a pulse repetition rate is set to 30 Hz and a laser energy density is set to 100 to 500 mJ/cm². In addition, in the case of using a pulsed YAG laser or YVO₄ laser, it is preferable that
15 a second harmonic or a third harmonic be used, that a pulse repetition rate be set to 1 to 10 kHz, and that a laser energy density be set to 300 to 600 mJ/cm². In this embodiment mode, the laser energy density is 390 mJ/cm². Then, the entire surface of the substrate is irradiated with laser light which is linearly condensed to have a width of 100 to 1000 μ m, for example, 400 μ m. At this time, the overlap ratio
20 (overlap ratio) of the laser light is preferably set to 80 to 98%.

[0032]

Further in addition, in the case of using a CW laser (such as a CW YVO₄ laser), laser light emitted from a CW YVO₄ laser having an output of 10 W is converted into a high harmonic (second harmonic to fourth harmonic) with a
25 non-linear optical element. Alternatively, there is a method in which a YVO₄ crystal and a non-linear optical element are set in a resonator to emit a high harmonic. It is preferably shaped with an optical system to be laser light having a rectangular or elliptical shape at the irradiation surface and the amorphous semiconductor film 3 is irradiated with the laser light. The energy density at this time needs to be

approximately 0.001 to 100 MW/cm² (preferably, 0.1 to 10 MW/cm²). The semiconductor film may be irradiated with the laser light while being moved relatively thereto at a rate of approximately 0.5 to 2000 cm/s.

[0033]

5 In thus obtained crystallized semiconductor film 5a, the metal element (here, nickel) remains. Although the metal element is not uniformly distributed in the film, it remains at a concentration over $1 \times 10^{19}/\text{cm}^3$ on average in many cases. It is needless to say that various types of semiconductor elements such as a TFT can be formed in such a state, but in this embodiment mode, the element is removed by the
10 method described below.

[0034]

First, as shown in FIG. 1E, an oxide film (called chemical oxide) is formed on the surface of the crystallized semiconductor film 5a by treating the surface of the crystallized semiconductor film 5a with an aqueous solution containing ozone
15 (typically, ozone water). By this, a barrier layer 6 which is formed of the oxide film having the total thickness of 1 to 10 nm is formed. The barrier layer 6 serves as an etching stopper when selectively removing only a gettering layer in a subsequent step.

[0035]

Here, the barrier layer 6 (chemical oxide) can be similarly formed by a
20 treatment with a solution in which hydrogen peroxide is mixed with sulfuric acid, hydrochloric acid, nitric acid, or the like, instead of the solution containing ozone. Alternatively, the barrier layer 6 may be formed by emitting ultraviolet light in an oxygen atmosphere to generate ozone and oxidizing the surface of the crystallized semiconductor film 5a with this ozone.

25 [0036]

Further alternatively, an oxide film may be deposited by a plasma CVD method, a sputtering method, a vapor deposition method, or the like to have a thickness of approximately 1 to 10 nm, as the barrier layer 6. In the case of using a plasma CVD method, a sputtering method, a vapor deposition method, or the like for forming

the barrier layer 6, it is desirable that the formation be performed after washing the surface of the crystallized semiconductor film 5a to remove a natural oxide film, an oxide film formed by irradiation of the laser light, and the like.

[0037]

5 In the case of using a plasma CVD method for forming the barrier layer 6, a silane based gas (monosilane, disilane, trisilane, or the like) and a nitrogen oxide based gas (a gas described as NO_x) are used as a raw material gas. For example, a silicon oxynitride film is formed by using monosilane (SiH_4) and nitrous oxide (N_2O), by using TEOS gas and N_2O , or by using TEOS gas, N_2O , and O_2 as a raw material gas to
10 have a thickness of 10 nm or less, preferably, 5 nm or less. This silicon oxynitride film has high adhesion to the crystallized semiconductor film 5a and generates less peeling in a subsequent step (formation of the gettering layer), compared with an oxide film (called chemical oxide) obtained from an aqueous solution containing ozone (typically, ozone water) or an oxide film obtained by ultraviolet light irradiation in an
15 oxygen atmosphere. In the case of using a plasma CVD method, an argon plasma treatment may be performed before forming the barrier layer in order to enhance the adhesion.

[0038]

 In addition, there is another method of forming the barrier layer 6, in which a
20 clean oven is used and heated to approximately 200 to 350°C to form a thin oxide film. The barrier layer 6 is not particularly limited as long as it is formed using one of the foregoing methods or a combination thereof. However, the film property and the film thickness are required to be set so that the metal element (such as nickel) in the crystallized semiconductor film 5a can move to the gettering layer in subsequent
25 gettering. Note that if a silicon oxynitride film having the foregoing range of film thickness is used, the metal element can move to a gettering site, passing through the barrier layer.

[0039]

Then, as shown in FIG. 2A, a gettering layer 7 containing a rare gas element is

formed over the barrier layer 6 as a gettering site. Here, a semiconductor film containing a rare gas element is formed as the gettering layer 7 by a sputtering method. Note that as described above, it is desirable that the sputtering condition of the amorphous semiconductor film 3 be appropriately adjusted so that a rare gas element is not added thereto. However, when forming the gettering layer 7, the sputtering condition is appropriately adjusted so that a rare gas element is added thereto. As the rare gas element, one kind or plural kinds selected from helium (He), neon (Ne), argon (Ar), krypton (Kr), and xenon (Xe) are used. Among them, argon (Ar), which is an inexpensive gas, is preferable. Here, the gettering layer 7 is formed by sputtering a target formed of silicon in an atmosphere containing the rare gas element. There are two purposes to make the gettering layer 7 contain the rare gas element ion which is an inert gas. One is to form a dangling bond so that the semiconductor film constituting the gettering layer 7 has distortion. The other one is to give distortion between lattices of the semiconductor film. To give distortion between lattices of the semiconductor film, it is preferable to use an element such as argon (Ar), krypton (Kr), xenon (Xe), or the like having a larger atomic radius than the element constituting the semiconductor film (such as silicon). Further, if the semiconductor film contains a rare gas element, not only a lattice distortion is generated, but also a dangling bond is formed; therefore, the gettering ability of the semiconductor film is further improved.

20 [0040]

Note that in the case of forming the gettering layer 7 using a target containing phosphorus which is an impurity element having one conductivity, gettering utilizing the coulomb force of phosphorus can be carried out in addition to gettering with the rare gas element.

25 In addition, during gettering, the metal element (such as nickel) tends to move to a region having a high oxygen concentration; therefore, the concentration of oxygen contained in the gettering layer 7 is desirably higher than the concentration of oxygen contained in the amorphous semiconductor film 3, for example, $5 \times 10^{18}/\text{cm}^3$ or higher.

[0041]

Then, as shown in FIG. 2B, gettering of the metal element (such as nickel) is performed by performing a heat treatment (such as a heating treatment or irradiation treatment of intense light) to the crystallized semiconductor film 5a, the barrier layer 6, and the gettering layer 7, thereby lowering the concentration of or removing the metal element in the crystallized semiconductor film 5a. That is, by heating or emitting intense light, the metal element moves in the direction of an arrow in FIG. 2B (that is, a direction from the crystallized semiconductor film 5a to the gettering layer 7, passing through the barrier layer 6), so that the metal element contained in the crystallized semiconductor film 5a is removed or the concentration of the metal element is lowered. In order to make the metal element gettered, the metal element needs to move a distance approximately at least the thickness of the crystallized semiconductor film 5a; therefore, the gettering can be completed within a comparatively short period. Here, gettering is sufficiently performed so that the metal element hardly remains in the crystallized semiconductor film 5a, that is, so that the nickel concentration in the film becomes $1 \times 10^{18}/\text{cm}^3$ or lower, desirably, $1 \times 10^{17}/\text{cm}^3$ or lower.

[0042]

In this specification, gettering refers to emission of the metal element contained in a region to be gettered (here, the crystallized semiconductor film 5a) due to heat energy and movement thereof to a gettering site due to diffusion. Therefore, gettering depends on a processing temperature; therefore, the higher the temperature is, in the shorter period the gettering proceeds. In a certain heat treatment condition of the gettering, the crystallization rate of the crystallized semiconductor film 5a is heightened at the same time as the gettering, whereby defects remaining in crystal grains can be repaired, that is, the crystallinity can be improved.

[0043]

In the case where a treatment of intense light irradiation is performed as the heat treatment of the gettering, a lamp light source for heating is lighted for 1 to 60 seconds, preferably 30 to 60 seconds, and such lightning is repeated 1 to 10 times, preferably, 2 to 6 times. The light-emission intensity of the lamp light source is

arbitrary, but it is set so that the semiconductor film is instantaneously heated up to approximately 600 to 1000°C, preferably approximately, 700 to 750°C.

[0044]

Note that in the case where a heating treatment is performed as the heat treatment of the gettering, a heat treatment may be performed at 450 to 800°C for 1 to 24 hours, for example, at 550 °C for 14 hours in a nitrogen atmosphere. In addition, intense light may be emitted in addition to this heat treatment.

Note that the superficial layer of the gettering layer 7 is oxidized by this heat treatment, and the oxide film 7a is formed.

10 [0045]

Subsequently, as shown in FIG. 2C, the oxide film 7a is removed by etching. Then, etching is performed using the barrier layer 6 as an etching stopper to selectively remove only the gettering layer 7. At this time, a part of the superficial layer of the crystallized semiconductor film 5a, in which the alloy 5b (such as NiSi) of the semiconductor and the metal is formed is also etched, so that a pinhole 8 is formed. The reason for this is as described with reference to FIGS. 16A to 16C and FIGS. 17A to 17D.

[0046]

Note that as a method of selectively etching only the gettering layer 7, there are dry etching using plasma by ClF_3 and wet etching using an alkaline solution such as an aqueous solution containing hydrazine or tetraethyl ammonium hydroxide (chemical formula $(\text{CH}_3)_4\text{NOH}$).

[0047]

Then, as shown in FIG. 2D, the barrier layer 6 which is formed of an oxide film is removed by an etchant, for example, containing hydrofluoric acid.

[0048]

Next, as shown in FIG. 2E, the crystallized semiconductor film 5a is irradiated with the second laser light in an air atmosphere, a nitrogen atmosphere, or a vacuum. The energy density of the second laser light is set lower than that of the first light used

in a step shown in FIG. 1D. The difference in the energy density between the first laser light and the second laser light is set to be preferably, for example, 30 mJ/cm² or more and 80 mJ/cm² or less. However, the preferable difference in the energy density differs depending on the thickness or the like of the crystallized semiconductor film 5a.

5 As this laser light (the second laser light), excimer laser light having a wavelength of 400 nm or less or a second harmonic or a third harmonic of a YAG laser is used. In addition, light emitted from an ultraviolet lamp may be used instead of excimer laser light.

By irradiating the crystallized semiconductor film 5a with the second laser

10 light, in the superficial layer of the crystallized semiconductor film 5a, a semiconductor element around the pinhole 8 is moved into the pinhole 8, so that the pinhole 8 is filled.

[0049]

Each of FIGS. 3A to 3E is an SEM photograph (magnification: × 5000) in

15 which the surface of the crystallized semiconductor film 5a is enlarged. FIG. 3A is an SEM photograph of the surface of the crystallized semiconductor film 5a before irradiation of the second laser light. FIGS. 3B to 3E are SEM photographs of the surface of the crystallized semiconductor film 5a after irradiation of the second laser light with an energy density of 369.5 mJ/cm², 351.7 mJ/cm², 328.3 mJ/cm², 309.0

20 mJ/cm², respectively. In addition, the numbers of pinholes per unit area, which exist in the surface of the crystalline silicon films which are treated in different conditions, are shown in Table 1. The number of pinholes is measured by counting the pinholes included in a screen at one time using an SEM. Note that the unit area here is a region displayed on the screen at one time at the foregoing magnification (for example,

25 3021 μm²). In addition, the energy density of the first laser light is 389 mJ/cm².

[0050]

[Table 1]

Energy density (mJ/cm ²)	Pinhole density (amount/μm ²)	Number of pinholes
--------------------------------------	--	--------------------

no second laser light irradiation	1.7 E-03	5
369.5	3.3 E-04	1
351.7	0	0
328.3	0	0
309	0	0

[0051]

As shown in a photograph of FIG. 3A, in the case where the surface of the crystallized semiconductor film 5a is not irradiated with the second laser light, a plurality of pinholes existed on the surface of the crystallized silicon film 5a. The number thereof was, as shown in Table 1, 5 per unit area (the pinhole density is $1.7 \text{ E-}3/\mu\text{m}^2$). On the other hand, as shown in FIGS. 3B to 3E, the number of pinholes was small when the second laser light was emitted. In addition, as shown in Table 1, in the case where the energy density of the second laser light was 369.5 mJ/cm^2 , the number of pinholes was 1 per unit area (the pinhole density is $3.3 \text{ E-}4/\mu\text{m}^2$), which is 1/5 compared to the case of no irradiation. Further, if the energy density of the second laser light was 351.7 mJ/cm^2 or less, the pinhole hardly existed.

[0052]

As apparent from the pictures of FIGS. 3A to 3E and Table 1, the pinholes can be removed from the surface of the crystallized semiconductor film 5a by irradiating the second laser light. It is highly advantageous to eliminate the pinholes. For example, coverage of a film formed over the crystallized semiconductor film 5a (such as a gate insulating film of a TFT) is improved. By this, in the case of forming a source and a drain of the TFT with the crystallized semiconductor film 5a, gate leak current is reduced. In addition, a defect in voltage resistance of the gate insulating film is reduced. In such a manner, reliability of the TFT can be improved.

[0053]

In addition, in the case where a rare gas element is added to the crystallized semiconductor film 5a when forming the gettering layer 7, the rare gas element in the

crystallized semiconductor film 5a can be removed or reduced by emitting the second laser light.

[0054]

(Embodiment Mode 2)

5 Next, Embodiment Mode 2 is described with reference to FIGS. 4A to 4D. In this embodiment mode, the same structure as that in Embodiment Mode 1 is denoted by the same reference numeral and description thereof is omitted.

 First, as shown in FIG. 4A, the base insulating film 2 is formed over the substrate 1 and an amorphous semiconductor film (not shown) is formed thereover.
10 Subsequently, a metal-containing layer (not shown) is formed on the surface of the amorphous semiconductor film. The amorphous semiconductor film is crystallized by performing a heating treatment to form the crystallized semiconductor film 5a. These steps are approximately the same as the steps shown in FIGS. 1A to 1C of Embodiment Mode 1.

15 [0055]

 Here, since the heat treatment is performed in an atmosphere containing oxygen (such as an air), an oxide film 5c is formed on the superficial layer of the crystallized semiconductor film 5a.

 Therefore, as shown in FIG. 4B, the oxide film 5c needs to be removed by
20 performing etching using an etchant containing, for example, hydrofluoric acid. At this time, there is a case where pinholes are formed on the surface of the crystallized semiconductor film 5a.

[0056]

 Then, the surface of the crystallized semiconductor film 5a is irradiated with
25 the first laser light to improve the crystallinity of the crystallized semiconductor film 5a, the crystallized semiconductor film 5a is irradiated with the second laser light to fill the pinholes. Here, the irradiation condition of the first laser light and the second laser light is approximately the same as the irradiation condition of the second laser light in Embodiment Mode 1. However, the energy density of the second laser light

may be different from that of Embodiment Mode 1.

[0057]

Subsequently, as shown in FIG. 4C, the barrier layer 6 and the gettering layer 7 are formed and a heating treatment is performed to perform gettering of the metal element contained in the crystallized semiconductor film 5a. Details of these steps are approximately same as the treatments shown in FIGS. 1E to 2B of Embodiment Mode 1. Note that the oxide film 7a is formed on the surface of the gettering layer 7 by the heating treatment.

[0058]

Then as shown in FIG. 4D, the oxide film 7a, the gettering layer 7, and the barrier layer 6a are removed. Next, the crystallized semiconductor film 5a is irradiated with a third laser light (which corresponds to the second laser light in Embodiment Mode 1) to fill the pinholes formed in the crystallized semiconductor film 5a. These steps are approximately the same as the steps shown in FIGS. 2C to 2E of Embodiment Mode 1.

[0059]

According to Embodiment Mode 2, the same effect as Embodiment Mode 1 can be obtained. In addition, even if pinholes are formed while removing the oxide film 5c from the crystallized semiconductor film 5a, the pinholes are filled since the second laser light is emitted, following the first laser light emission. Therefore, coverage of a film formed over the crystallized semiconductor film 5a (such as a gate insulating film of a TFT) is improved. In the case of forming a source and a drain of the TFT of the crystallized semiconductor film 5a, gate leak current is reduced. In addition, a defect in voltage resistance of the gate insulating film is reduced. In such a manner, reliability of the TFT can be improved.

[0060]

(Experiment)

The inventors carried out an experiment described below and manufactured a sample so as to show that pinholes are filled by emitting the second laser light.

[0061]

First, a sample was prepared in which a base insulating film is formed over a glass substrate and an amorphous silicon film is formed thereover by a plasma CVD method. Then, after crystallization was performed to form a crystalline silicon film by applying a solution containing nickel at 10 ppm in weight, a heat treatment at 500°C for 1 hour and another heat treatment at 550°C for 4 hours were performed. Next, the crystalline silicon film was treated with a solution of 1% hydrofluoric acid for 3 minutes. The time for this treatment is long compared to the time required for removing the surface oxide film from the crystalline silicon film. Therefore, pinholes are formed on the surface of the crystalline silicon film while the surface oxide film is being removed.

[0062]

Subsequently, the crystalline silicon film was irradiated with the first laser light (excimer laser) in an air atmosphere. Here, the energy density of the first laser light was set to be 419.2 mJ/cm². Then, the crystalline silicon film was irradiated with the second laser light (excimer laser) at 30 Hz in an air atmosphere. Note that a plurality of samples was manufactured by changing the energy density of the second laser light. Also, a sample which was not irradiated with the second laser light was manufactured or comparison.

Then, an SEM photograph of the surface of the manufactured sample was taken at 5000 magnification. Also, the number of pinholes included in a unit area was counted. The definition of the unit area and a method of counting the pinholes are the same as those in Embodiment Mode 1.

[0063]

Table 2 shows the relation between the number of pinholes and the energy density of the second laser light. In addition, FIG. 5 shows a graph of data of Table 2.

[0064]

[Table 2]

Energy density (mJ/cm ²)	Pinhole density	Number of pinholes
--------------------------------------	-----------------	--------------------

	(amount/ μm^2)	
no second laser light irradiation	2.3 E-03	7
408.1	6.6 E-04	2
399.4	0	0
389.8	3.3 E-04	1
379.3	6.6 E-04	2
370.3	0	0
361.7	0	0
348.9	0	0
338.7	3.3 E-04	1

[0065]

As apparent from Table 2 and the graph of FIG. 5, on the surface of the crystalline silicon film, when it is not irradiated with the second laser light, the pinholes existed as many as 7 per unit area (the pinhole density was $2.3 \text{ E-}3/\mu\text{m}^2$).

- 5 On the other hand, when the second laser light is emitted, the pinhole hardly existed or existed as few as 2 per unit area (the pinhole density was $6.6 \text{ E-}4/\mu\text{m}^2$). According to this experiment, it is understood that the pinholes are removed from the surface of the crystalline silicon film by irradiating the crystalline silicon film with the second laser light.

10 [0066]

- FIGS. 6A to 6I show SEM photographs of the samples. In the case of not emitting the second laser light (FIG. 6I), the pinholes exist on the surface of the sample. In the case where the energy density of the second laser light is any of 408.1 mJ/cm^2 (FIG. 6A), 389.8 mJ/cm^2 (FIG. 6C), 379.3 mJ/cm^2 (FIG. 6D), and 338.7 mJ/cm^2 (FIG. 6H), the pinholes exist. Note that the number of pinholes were decreased when the samples were seen from a broader area than the region of which its image was taken. In addition, in the case where the energy density of the second laser light is any of 399.4 mJ/cm^2 (FIG. 6B), 370.3 mJ/cm^2 (FIG. 6E), 361.7 mJ/cm^2 (FIG. 6F), and 348.9

mJ/cm² (FIG. 6G), the pinhole hardly exist on the surface of the sample.

[0067]

(Embodiment Mode 3)

Then, Embodiment Mode 3 is described with reference to FIGS. 7A to 7C.

5 In this embodiment mode, a TFT is formed using the crystallized semiconductor film 5a formed in Embodiment Mode 1 or 2. Hereinafter, the same structure as that in Embodiment Mode 1 is denoted by the same reference numeral and description thereof is omitted.

[0068]

10 First as shown in FIG. 7A, the base insulating film 2 is formed over the substrate 1 and the crystallized semiconductor film 5a is formed thereover. Here, the treatments shown in FIGS. 1D to 2E of Embodiment Mode 1 are performed to the crystallized semiconductor film 5a; therefore, the metal element does not exist or the amount of the metal element is reduced. Also, the pinhole does not exist on the
15 surface of the crystallized semiconductor film 5a.

[0069]

Subsequently, as shown in FIG. 7B, a resist pattern is formed by applying a photoresist film (not shown) over the crystallized semiconductor film 5a, exposing this photoresist film to light, and developing it. Then, a crystalline semiconductor layer
20 10 having a desired form is formed by etching the crystallized semiconductor film 5a with this resist pattern as a mask. At this time, it is desirable that a thin oxide film be formed on the surface of the crystallized semiconductor film 5a by treating the surface of the crystallized semiconductor film 5a with ozone water before applying the photoresist film.

25 [0070]

Next, as shown in FIG. 7C, after the surface of the crystalline semiconductor layer 10 is washed with an etchant containing hydrofluoric acid, a gate insulating film 12 is formed over the crystalline semiconductor layer 10. The gate insulating film 12 is formed of an insulating film whose main component is silicon. The step of

washing the surface and the step of forming the gate insulating film 12 are desirably carried out continuously without being exposed to an air.

[0071]

Subsequently, after the surface of the gate insulating film 12 is washed, a metal film whose main component is Al, Cu, W, or the like is formed over the entire surface including over the gate insulating film 12. Then, a resist pattern is formed by applying a photoresist film (not shown) over the metal film, exposing this photoresist film to light, and developing it. Next, a gate electrode 13 is formed over the gate insulating film 12 by etching the metal film with this resist pattern as a mask. Then, a source region 14 and a drain region 15 are formed by introducing an n-type impurity ion (ion of P, As, or the like; here, P ion) to the crystallized semiconductor film 5a with the gate electrode 13 as a mask. Then, the n-type impurity is activated by performing a heating treatment, intense light irradiation, or laser light irradiation. At this time, during the activation, the interface between the gate insulating film 12 and the crystalline semiconductor layer 10, and the gate insulating film 12 can be recovered from plasma damage. In particular, it is highly advantageous to activate the impurity element by irradiating the front surface or the back surface with a second harmonic of a YAG laser in an atmosphere of a room temperature to 300°C. A YAG laser is a favorable activation means since its maintenance is easy.

[0072]

Subsequently, an interlayer insulating film 16 is formed over the entire surface including the gate insulating film 12 and the gate electrode 13 to perform hydrogenation. Then, contact holes located over the source region 14 and the drain region 15 are formed by forming a resist pattern over the interlayer insulating film 16 and etching the interlayer insulating film 16 with this resist pattern as a mask. Next, a source electrode 17 and a drain electrode 18 are formed by forming a conductive film (for example, an Al alloy wiring) over the interlayer insulating film 16 and in the contact holes, and by patterning this conductive film. A TFT (an n-channel TFT) is formed by the foregoing steps.

[0073]

In the case where the TFT is formed in such a manner, the concentration of the metal element contained in a channel formation region 19 can be set to be lower than $1 \times 10^{17}/\text{cm}^3$. In addition, since the number of pinholes on the surface of the semiconductor of the TFT is remarkably decreased, characteristics of the TFT can be improved.

[0074]

Note that the present invention can be applied not only to the TFT structure shown in FIG. 7C, but also to a TFT with another structure. For example, it may be a lightly doped drain (LDD: Lightly Doped Drain) structure in which an LDD region is provided between a channel formation region and a drain region (or a source region). This structure is the one in which regions to which an impurity element is added at a low concentration (hereinafter, referred to as LDD regions) are provided between a source region and a channel region, and between a drain region and the channel formation region. Also, it may be a so-called GOLD (Gate-drain Overlapped LDD) structure in which an LDD region is located to overlap a gate electrode with and gate insulating film therebetween.

[0075]

In addition, it is needless to say that although an n-channel TFT is used for explanation in this embodiment mode, a p-channel TFT can be formed by using a p-type impurity element instead of an n-type impurity element.

In addition, although a top gate TFT is explained as an example in this embodiment mode, it can be applied to, for example, a staggered type TFT.

[0076]

In addition, the pinholes on the surface of the crystalline semiconductor layer 10 may be filled by forming the crystalline semiconductor layer 10 having a desired shape by patterning, removing an oxide film formed during the patterning, and then emitting the second laser light in an air atmosphere, an inert gas atmosphere, or a vacuum, instead of emitting the second laser light before patterning the crystallized

semiconductor film 5a.

[0077]

(Embodiment Mode 4)

Then, Embodiment Mode 3 is described with reference to FIGS. 8A to 8E.

- 5 This embodiment mode is a method for manufacturing an inversely staggered type (bottom-gate type) TFT. Hereinafter, the same structure as that in Embodiment Mode 1 is denoted by the same reference numeral and description thereof is omitted.

First, as shown in FIG. 8A, a metal film whose main component is Al, Cu, W, or the like is formed over the substrate 1. Then, a resist pattern is formed by applying
10 a photoresist film (not shown) over this metal film, exposing this photoresist film to light, and developing it. Next, a gate electrode 21 is formed over the substrate 1 by etching the metal film with this resist pattern as a mask.

[0078]

Subsequently, a gate insulating film 22 is formed over the entire surface
15 including over the gate electrode 21. The gate insulating film 22 is formed of an insulating film whose main component is silicon.

Then, an amorphous semiconductor film is formed over the gate insulating film 22. Next, the crystallized semiconductor film 5a is formed by crystallizing the amorphous semiconductor film, and the first laser light is emitted so as to enhance the
20 crystallinity of the crystallized semiconductor film 5a. Note that the crystallization method of the amorphous semiconductor film is approximately same as that of Embodiment Mode 1.

[0079]

Subsequently, as shown in FIG. 8B, the barrier layer 6 is formed and the
25 gettering layer 7 is formed thereover and a heating treatment is performed to perform gettering of the metal element contained in the crystallized semiconductor film 5a. Details of these steps are approximately same as the treatments shown in FIGS. 1E to 2B of Embodiment Mode 1. Note that the oxide film 7a is formed on the surface of the gettering layer 7 by the heating treatment.

[0080]

Then as shown in FIG. 8C, the oxide film 7a, the gettering layer 7, and the barrier layer 6a are removed. Next, the pinholes formed in the crystallized semiconductor film 5a is filled by irradiating the crystallized semiconductor film 5a with the second laser light. These steps are approximately same as the steps shown in FIGS. 2C to 2E of Embodiment Mode 1.

[0081]

Subsequently, as shown in FIG. 8D, a resist pattern is formed by applying a photoresist film (not shown) over the crystallized semiconductor film 5a, exposing this photoresist film to light, and developing it. Then, a crystallized semiconductor layer 24 having a desired shape is formed by etching the crystallized semiconductor film 5a with this resist pattern as a mask.

Next, a resist pattern 23 is formed by applying a photoresist film over the crystallized semiconductor layer 24, exposing this photoresist film to light, and developing it. Then, a source region 24a and a drain region 24b are formed by introducing an n-type impurity ion (ion such as P or As, here P ion) to the crystalline semiconductor layer 24 with the resist pattern 23 as a mask. Then, the n-type impurity is activated by performing a heating treatment, intense light irradiation, or laser light irradiation.

[0082]

Subsequently, as shown in FIG. 8E, an interlayer insulating film 25 is formed over the entire surface including the crystalline semiconductor layer 24. Then, contact holes 25a and 25b located over the source region 24a and the drain region 24b, respectively are formed by forming a resist pattern over the interlayer insulating film 25 and etching the interlayer insulating film 25 with this resist pattern as a mask. Next, a source electrode 26a and a drain electrode 26b are formed by forming a conductive film (for example, an Al alloy film) over the interlayer insulating film 25 and in the contact holes, and by patterning this conductive film. An inversely staggered type (an n-channel TFT) is formed by the foregoing steps.

[0083]

In this embodiment mode, also the same effect as that of Embodiment Mode 3 can be obtained.

[0084]

5 (Embodiments)

[Embodiment 1] Embodiment 1 of the present invention is described with reference to FIGS. 9A to 11. This embodiment is a method for manufacturing a pixel portion and a TFT (an n-channel TFT and a p-channel TFT) of a driving circuit provided in a periphery of the pixel portion at the same time.

10 [0085]

First, as shown in FIG. 9A, by the method shown in the foregoing Embodiment Mode 2, a base insulating film 101 and polysilicon layers 102 to 106 which are separated to be island-shaped are formed over a glass substrate 100 in this order. Note that since the polysilicon layers 102 to 106 are the same as the crystalline semiconductor layer 10 in Embodiment Mode 2, the steps for forming them is shown in the foregoing Embodiment Mode 2; therefore, simplified description is given below.

[0086]

First, the base insulating film 101 is formed over the glass substrate 100. Although a two-layer structure is used as the base insulating film 101 in this
20 embodiment, a single-layer film of an insulating film or a structure in which three or more layers are stacked may be used. The base insulating film 101 is formed, for example, in the following manner. First, as a first layer of the base insulating film 101, a first silicon oxynitride film (composition ratio: Si = 32%, O = 27%, N = 24%, and H = 17%) is formed by a plasma CVD method using SiH₄, NH₃, and N₂O as a
25 reactive gas to have a film thickness of 50 nm. Then, as a second layer of the base insulating film 101, a second silicon oxynitride film (composition ratio: Si = 32%, O = 59%, N = 7%, and H = 2%) is formed by a plasma CVD method using SiH₄ and N₂O as a reactive gas to have a film thickness of 100 nm.

[0087]

Subsequently, an amorphous silicon film which is one example of an amorphous semiconductor film is formed over the base insulating film 101 by a plasma CVD method to have a film thickness of 50 nm. Then, a nickel acetate solution containing nickel at 10 ppm in weight is applied by a spinner. A method of scattering
5 nickel elements over the entire surface by a sputtering method may be used instead of the applying.

[0088]

Next, a polysilicon film which is one example of a crystallized semiconductor film is formed by crystallizing the amorphous silicon film by a heating treatment.
10 This heating treatment may use a heat treatment by an electric furnace or irradiation of intense light. A heat treatment by an electric furnace may be carried out, for example, at 500°C to 650°C and for approximately 4 to 24 hours. Here, the polysilicon film is obtained by performing a heat treatment for crystallization (550°C for 4 hours) after a heat treatment for dehydrogenation (500°C for 1 hour). Note that the heat treatment
15 may be performed using a lamp annealing apparatus instead of the electric furnace.

[0089]

Then, the first light laser light (XeCl: wavelength 308 nm) is emitted in an air atmosphere or oxygen atmosphere in order to enhance the crystallinity of the polysilicon film and repair defects remaining in crystal grains. As the first laser light,
20 excimer laser light having a wavelength of 400 nm or shorter, or a second harmonic or a third harmonic of a YAG laser is used. In any case, it is acceptable as long as the silicon film surface is scanned and irradiated with pulsed laser light with a repetition rate of approximately 10 to 1000 Hz which is condensed to 100 to 500 mJ/cm² with an optical system, and with the overlap ratio of 90 to 95%. Here, irradiation of the first
25 laser light is performed in an air atmosphere with a repetition rate of 30 Hz and an energy density of 410 mJ/cm². Note that irradiation of the first laser light is extremely important for removing or reducing a rare gas element (here, argon) in the silicon film. Next, an oxide film is formed by treating the surface with ozone water for 120 seconds to have the total thickness of 1 to 5 nm; thereby forming a barrier layer

(not shown) which is formed of this oxide film and the oxide film formed by irradiation of the first laser light.

[0090]

Then, an amorphous silicon film containing an argon element to serve as a
5 gettering site is formed over the barrier layer by a sputtering method to have a film
thickness of 150 nm. Here, a film formation condition is, for example, set as follows:
a pressure in a chamber is 0.3 Pa, a flow rate of gas (Ar) is 50 (sccm), a film formation
power is 3 kW, and a temperature of the substrate is 150°C. Note that under the
foregoing condition, an atomic concentration of an argon element contained in the
10 amorphous silicon film is $3 \times 10^{20}/\text{cm}^3$ to $5 \times 10^{20}/\text{cm}^3$ and an atomic concentration of
oxygen is $1 \times 10^{19}/\text{cm}^3$ to $3 \times 10^{19}/\text{cm}^3$. Thereafter, a metal atom in the polysilicon
film is getterd to the amorphous silicon film by performing a heat treatment at 650°C
for 3 minutes using a lamp annealing apparatus.

Then, after the amorphous silicon film containing an argon element which is a
15 gettering site is selectively removed by etching using the barrier layer as an etching
stopper, the barrier layer is selectively removed by dilute hydrofluoric acid.

[0091]

Subsequently, pinholes formed on the surface of the polysilicon film are filled
by performing irradiation of the second laser light in an air atmosphere, nitrogen
20 atmosphere, or vacuum. As the second laser light, excimer laser light having a
wavelength of 400 nm or shorter, or a second harmonic or a third harmonic of a YAG
laser is used. Note that light emitted from an ultraviolet lamp may be used instead of
the second laser light. At this time, the energy density of the second laser light is set
to be smaller than the energy density of the first laser light, preferably by 30 to 80
25 mJ/cm^2 . Here, irradiation of the second laser light is performed with an energy
density of $360 \text{ mJ}/\text{cm}^2$.

[0092]

Note that although the second laser light is emitted to the entire surface in this
embodiment, the second laser light may be selectively emitted to a necessary region.

[0093]

Subsequently, a thin oxide film is formed on the surface of the polysilicon film by treating the surface of the obtained polysilicon film with ozone water. Then, the polysilicon layers 102 to 106 which are separated to be island-shaped are formed
5 by forming a mask of a resist and performing an etching treatment so as to realize desired shapes using this mask. After forming these polysilicon layers, a mask is removed.

[0094]

Note that after forming the polysilicon layers 102 to 106, a p-type impurity
10 element or an n-type impurity element may be added for controlling a threshold value (V_{th}) of the TFT. The p-type impurity element is, for example, an element belonging to group 13 of the periodic table, such as boron (B), aluminum (Al), or gallium (Ga). The n-type impurity element is, for example, an element belonging to group 15 of the periodic table, such as phosphorous (P) or arsenic (As).

15 [0095]

Then, the oxide film is removed by an etchant containing hydrofluoric acid, at the same time as washing the surfaces of the polysilicon layers 102 to 106. After that, a gate insulating film 107 is formed. In this embodiment, a silicon oxynitride film (composition ratio: Si = 32%, O = 59%, N = 7%, and H = 2%) formed by a plasma
20 CVD method to have a thickness of 115 nm is used as the gate insulating film 107.

[0096]

Subsequently, a conductive layer to serve as a gate electrode is formed by sequentially stacking a first conductive film 108a having a film thickness of 20 to 100 nm over the gate insulating film 107, a second conductive film 108b having a film
25 thickness of 100 to 400 nm, and a third conductive film 108c having a film thickness of 20 to 100 nm. In this embodiment, a tungsten film having a film thickness of 50 nm over the gate insulating film 107, a film of an alloy of aluminium and titanium (Al-Ti) having a film thickness of 500 nm, and a titanium film having a film thickness of 30 nm are used as the first conductive film 108a, the second conductive film 108b,

and the conductive film 108c, respectively.

[0097]

Note that as well as the foregoing materials, as a conductive material for forming the first to third conductive films 108a to 108c, an element selected from Ta, W, Ti, Mo, Al, or Cu, or an alloy material or a compound material having the foregoing
5 element as its main component can be used. For example, tungsten nitride may be used instead of tungsten as the first conductive film 108a. A film of an alloy of aluminium and silicon (Al-Si) may be used instead of a film of the alloy of aluminium and titanium (Al-Ti) as the second conductive film 108b. A titanium nitride film may
10 be used instead of the titanium film as the third conductive film 108c.

In addition, the conductive layer to serve as the gate electrode is not limited to a three-layer structure. For example, it may be a two-layer structure including a tantalum nitride film and a tungsten film. In addition, as a conductive layer to serve as the gate electrode, a single-layer semiconductor film typified by a multicrystalline
15 silicon film which is doped with an impurity element such as phosphorus may be used..

[0098]

Subsequently, as shown in FIG. 9B, masks 110 to 115 formed of resist films are formed by applying a photoresist film over the third conductive film 108c, exposing this photoresist film to light, and developing it. Then, a first etching
20 treatment for forming the gate electrode and a wiring is performed by dry etching using the masks 110 to 115.

In this first etching treatment, ICP (Inductively Coupled Plasma : Inductively Coupled Plasma) is favorable as plasma for etching. In this case, by appropriately adjusting the etching condition (such as the amount of electrical power applied to a
25 coil-shaped electrode, the amount of electrical power applied to an electrode on a substrate side, and a temperature of the electrode on the substrate side), the film can be etched into a desired taper shape.

[0099]

Note that in the first etching treatment, second etching is performed, for

example, after performing first etching.

[0100]

In the first etching, a chlorine based gas typified by Cl_2 , BCl_3 , SiCl_4 , CCl_4 , and the like, a fluorine based gas typified by CF_4 , SF_6 , NF_3 , and the like, or O_2 is
5 appropriately used as a gas for etching. A gas for etching to be used is not limited; however, BCl_3 , Cl_2 , and O_2 are appropriately used here. The flow rates are, for example, 65/10/5 (sccm), respectively. Then, etching is performed for approximately 117 seconds by generating plasma by giving an RF (13.56 MHz) power of 450 W to a coil-shaped electrode at a pressure of 1.2 Pa. At this time, an RF (13.56 MHz) power
10 of 300 W is also given to the substrate side (a sample stage), so that a substantial negative self-bias voltage is applied. By this first etching, the second conductive film 108b and the third conductive film 108c are etched and edges of the first conductive film 108a are formed into a taper shape.

[0101]

15 In addition, in the second etching, CF_4 , Cl_2 , and O_2 are used as a gas for etching. The flow rates of these gasses are, for example, 25/25/10 (sccm), respectively. An etching treatment is performed for approximately 30 seconds by generating plasma by giving an RF (13.56 MHz) power of 500 W to a coil-shaped electrode at a pressure of 1 Pa. At this time, an RF (13.56 MHz) power of 20 W is
20 also given to the substrate side (a sample stage), so that a substantial negative self-bias voltage is applied. In the second etching condition in which CF_4 and Cl_2 are mixed, each of the first to third conductive films 108a to 108c are etched at the same time. Note that in order to perform the etching without residue remaining over the gate insulating film 107, an etching time may be increased by approximately 10 to 20%.

25 [0102]

By this first etching treatment, conductive layers 117 to 122 (in detail, first conductive layers 117a to 122a, second conductive layers 117b to 122b, and third conductive layers 117c to 122c) having a first shape, which are formed by the first to third conductive layers, are formed over the gate insulating film 107. In addition, in

the gate insulating film 107, a region which is not covered with the conductive layers 117 to 122 having the first shape is thinned by being etched by approximately 20 to 50 nm.

Note that in the foregoing first etching treatment, edges of the conductive layers 117 to 122 having the first shape can be formed into appropriate taper shapes by forming the shape of the mask which is formed of the resist into an appropriate shape, and by applying appropriate bias voltage to the substrate side. For example, with the foregoing condition, the angle of the tapered portion becomes 15 to 45°.

[0103]

Next, as shown in FIG. 9C, a second etching treatment is performed using the masks 110 to 115 as they are. In the second etching treatment, BCl_3 and Cl_2 are used as a gas for etching. The flow rates of these gasses are 20/60 (sccm), respectively. Etching is performed by generating plasma by giving an RF (13.56 MHz) power of 600 W to a coil-shaped electrode at a pressure of 1.2 Pa. At this time, an RF (13.56 MHz) power of 100 W is given to the substrate side (a sample stage). By this second etching treatment, conductive layers 124 to 129 (in detail, first conductive layers 124a to 129a, second conductive layers 124b to 129b, and third conductive layers 124c to 129c) having a second shape are formed by anisotropically etching each the second conductive layers 117b to 112b which are formed of aluminium containing a small amount of titanium and the third conductive layers 117c to 112c which are formed of titanium. At this time, in the gate insulating film 107, a region which is not covered with the conductive layers 124 to 129 having the second shape is thinned by being slightly etched.

[0104]

Note that in FIGS. 9B and 9C, it is shown that the tapered portions in the first conductive layers have the same length in every first conductive layer. However, in practice, it depends on the wiring width. Therefore, according to the wiring width, the lengths of the tapered portions in the first conductive layers 124a to 129a change.

[0105]

Then, a first doping treatment is performed with the masks 110 to 114 remaining as they are to add an impurity element imparting n-type conductivity to the polysilicon layers 102 to 106. The doping treatment may be performed by, for example, a plasma doping method or an ion injecting method. In the case of performing with an ion injecting condition, the injecting condition is set so that, for example, a dosage is 1.5×10^{14} atoms/cm² and an acceleration voltage is 60 to 100 keV. As an impurity element imparting n-type conductivity, phosphorous (P) or arsenic (As) is used for example. In this first doping treatment, the conductive layers 124 to 128 having the second shape serve as masks; therefore, in each of the polysilicon layers 102 to 106, two first impurity regions 130 to 134 are formed in a self-alignment manner, respectively. The first impurity regions 130 to 134 are doped with an impurity element imparting n-type conductivity at a concentration ranging from 1×10^{16} to 1×10^{17} /cm³.

Note that although in this embodiment, the first doping treatment was performed without removing the masks 110 to 115, the first doping treatment may be performed after removing the masks 110 to 115.

[0106]

Then, after removing the masks 110 to 115, a photoresist film is applied over the entire surface as shown in FIG. 10A, and masks 135 and 136 are formed by exposing this photoresist film to light and developing it. The mask 135 is a mask for protecting a channel formation region and a periphery region thereof in the polysilicon layer 103 which constitutes one of the p-channel TFTs in the driving circuit. The mask 136 is a mask for protecting a channel formation region and a periphery region thereof in the polysilicon layer 105 which forms a TFT in the pixel portion.

[0107]

Subsequently, a second doping treatment is performed using the masks 135 and 136 and in the polysilicon layers 102, 104, and 106 which are not covered with the masks, impurity regions are formed. The doping treatment may be performed by, for example, a plasma doping method or an ion injecting method. In the case of

performing with an ion injecting condition, the injecting condition is set so that an acceleration voltage is 60 to 100 kV.

[0108]

At this time, in each of the polysilicon layers 102, 104, and 106, since a film thickness of an upper layer differs, between a region in which the conductive layers 124 to 128 having the second shape exist thereover and a region in which they do not exist, a dosage differs. Therefore, in each of the polysilicon layers 102, 104, and 106, two second impurity regions 180, 181, and 182 of low concentration are formed respectively so as to be located under the conductive layers 124 to 128 having a second shape. At the same time, third impurity regions 137, 139, and 141 located outside adjacent to the second impurity regions are formed. In addition, in portions of the polysilicon layers 103 and 105, which are not covered with the masks 135 and 136, two third impurity regions 138 and 140 are formed, respectively. In specific, in the third impurity regions 137 to 141, an n-type impurity element is added at a concentration ranging from 1×10^{20} to $1 \times 10^{21}/\text{cm}^3$. In addition, in the second impurity regions 180 to 182, an n-type impurity element is added at a concentration ranging from 1×10^{18} to $1 \times 10^{19}/\text{cm}^3$.

[0109]

Note that in FIG. 10A, for convenience, the tapered portion in the first conductive layers 124a to 129a are set to have the same length; however in practice, the tapered portion in the first conductive layers 124a to 129a may have different lengths depending on a wiring width. In this case, the widths of the second impurity regions 180, 181, and 182 differ from one another and the widths of the third impurity regions 137, 139, and 141 differ from one another.

[0110]

Subsequently, as shown in FIG. 10B, after removing the masks 135 and 136, a photoresist film is newly applied and masks 142 to 144 are formed by exposing this photoresist film to light and developing it. The masks 142, 143, and 144 are formed over the polysilicon layers 102, 104, and 105, respectively. In addition, the mask is

not formed over the polysilicon layers 103 and 106 over which a p-channel TFT is to be formed.

[0111]

Then, a third doping treatment is performed using the masks 142 to 144 by, for example, a plasma doping method or an ion injecting method. By this third doping treatment, a p-type impurity element is added to a portion of the polysilicon layers 103 and 106 which form p-channel TFTs, which is not covered with the conductive layers 125 and 128 having the second shape.

[0112]

Accordingly, a fourth impurity region 147 and fifth impurity regions 145 and 146 are formed in the polysilicon layer 103. A fourth impurity region 150 and fifth impurity regions 148 and 149 are formed in the polysilicon layer 106. In the fourth impurity regions 147 and 150, a p-type impurity element is added at a concentration ranging from 1×10^{18} to $1 \times 10^{20}/\text{cm}^3$. In addition, in the fifth impurity regions 145, 146, 148, and 149, although phosphorus (P) which imparts n-type conductivity is added in steps shown in FIG 9C and FIG 10A, a p-type impurity element is added at a concentration that is 1.5 to 3 times higher than that (for example, 1×10^{20} to $1 \times 10^{21}/\text{cm}^3$); therefore, the conductivity thereof is p-type. Note that among the fifth impurity regions, concentrations of both impurity elements of n-type and p-type in the regions 145 and 148 are lower than those in the regions of 146 and 149, respectively.

Note that the polysilicon layer 106 serves as a semiconductor layer for forming a holding capacitor in the pixel portion.

[0113]

By the foregoing steps, the impurity regions having n-type or p-type conductivity are formed in each of the polysilicon layers 102 to 106. In addition, the conductive layers 124 to 127 having the second shape serve as the gate electrodes and the conductive layer 128 having the second shape serves as one of the electrodes forming the holding capacitor in the pixel portion. Further, the conductive layer 129 having the second shape forms a source wiring in the pixel portion.

Note that as long as all of the conductive layers having the second shape and the impurity regions (the first impurity region to the fifth impurity region) can be formed, the order of the manufacturing steps are not limited to the order described above, and the order of etchings and dopings may be appropriately changed.

5 [0114]

Then, as shown in FIG. 10C, after removing the masks 142 to 144, an insulating film (not shown) is formed to cover nearly the entire surface. In this embodiment, a silicon oxide film having a film thickness of 50 nm was formed by a plasma CVD method. Needless to say, this insulating film is not limited to a silicon
10 oxide film, and an insulating film containing another silicon may be used as a single-layer or a stacked-layer structure.

[0115]

Then, a step of activating the impurity element added to the polysilicon layers 102 to 106 is performed. This activating step is a rapid thermal annealing method
15 (RTA method) using a lamp light source, a method of emitting a YAG laser or an excimer laser from the back surface, or a heat treatment using a furnace; or a treatment in which a plurality of these methods is combined. However, in this embodiment, it is necessary that the activating step has a heat treatment condition which is thermally withstandable for the second conductive layers 124a to 129a, since a material whose
20 main component is aluminium is used for the second conductive layers 124a to 129a (see FIG. 9C) which constitute the conductive layers 124 to 129 having the second shape.

[0116]

By the foregoing activating treatment, at the same time as the activation of the
25 impurity element, the metal element used as a catalyst when crystallizing the polysilicon layers 102 to 106 are gettered to the third impurity regions 137, 139, and 140 (see FIG. 10A) and to the fifth impurity regions 146 and 149 (see FIG. 10B), containing phosphorus at a high concentration, so that a nickel concentration in the polysilicon layers 102 to 106, mainly in a portion to serve as the channel formation

region is reduced. As a result, the crystallinity of the channel formation region is improved and an off current of the TFT is reduced. Further, since the crystallinity is favorable, a high electron field-effect mobility can be obtained. Accordingly, a TFT with favorable characteristics can be obtained.

5 Note that in this embodiment mode, gettering is performed in advance in the step of forming the polysilicon film by the method shown in the foregoing Embodiment Mode 1; therefore gettering with the impurity region here is a second gettering.

[0117]

10 In this embodiment, although an example is shown where the insulating film (not shown) is formed before the foregoing activating treatment, a step of forming the insulating film may be performed after performing the foregoing activation.

[0118]

Subsequently, a first interlayer insulating film 151 formed of a silicon nitride
15 film is formed. Then, a heat treatment (a heat treatment at 300 to 550°C for 1 to 12 hours) is performed to carry out a step of hydrogenating the polysilicon layers 102 to 106. This step is a step of terminating dangling bonds of the polysilicon layers 102 to 106 by hydrogen contained in the first interlayer insulating film 151, and the polysilicon layers 102 to 106 can be hydrogenated whether or not an insulating film
20 (not shown) formed of a silicon oxide film is provided. However, in this embodiment, it is important that the hydrogenating step has a heat treatment condition which is thermally withstandable for the second conductive layers 124a to 129a, since a material whose main component is aluminium is used for the second conductive layers 124a to 129a (see FIG. 9C) which constitute the conductive layers 124 to 129 having
25 the second shape. Note that plasma hydrogenation (a hydrogenating treatment with hydrogen excited by plasma) may be performed as another means of hydrogenation.

[0119]

Then, as shown in FIG. 11, a second interlayer insulating film 152 is formed over the first interlayer insulating film 151. The second interlayer insulating film 152

may be constituted by an organic insulating material or an inorganic insulating material. In this embodiment, an inorganic siloxane based insulating material containing silicon, oxygen, and hydrogen, which is formed using a siloxane material as a starting material; or an organic siloxane based insulating material in which hydrogen combined with silicon contained in such an inorganic siloxane based insulating material is substituted with an organic group such as methyl or phenyl is used. Note that it may be an acrylic resin film having a film thickness of 1.6 μm .

Next, a resist pattern is formed over the second interlayer insulating film 152, and the second interlayer insulating film 152 and the first interlayer insulating film 151 are etched with this resist pattern as a mask. Accordingly, a contact hole located over the conductive layer 129 (that is, the source wiring in the pixel portion) having the second shape and contact holes located over the third impurity regions 137 to 141 formed in the polysilicon layers 102 to 106 are formed. In this embodiment, a plurality of etching treatments is sequentially performed. In other words, after the second interlayer insulating film is etched using the first interlayer insulating film as an etching stopper, the first interlayer insulating film is etched using the foregoing insulating film which is not shown as an etching stopper, then, the insulating film which is not shown is etched.

[0120]

Thereafter, a metal film (such as Al, Ti, Mo, or W) is formed over the entire surface of the second interlayer insulating film 152 and in each of the contact holes. A wiring and a pixel electrode are formed by patterning this metal film. Note that as a material of these electrode and pixel electrode, it is desirable that a film with superior reflectivity be used, such as a film whose main component is Al or Ag or a stacked-layer film thereof. Thus, source wirings or drain wirings 153 to 158, a gate wiring 160, a connection wiring 159, and a pixel electrode 161 are formed.

[0121]

In the foregoing manner, a driving circuit 206 having n-channel TFTs 201 and 203 and a p-channel TFT 202, and a pixel portion 207 having an n-channel TFT 204

and a holding capacitor 205 can be formed over one substrate in the same steps. Hereinafter, in this specification, such a substrate is called an active matrix substrate for convenience.

[0122]

5 In the driving circuit 206 in the thus formed active matrix substrate, the n-channel TFT 201 has a channel formation region 162, the conductive layer 124 having the second shape which forms the gate electrode, the second impurity region 180 located under a part of the conductive layer 124 having the second shape, and the two third impurity regions 137 serving as a source region or a drain region. The

10 p-channel TFT 202 has a channel formation region 165, the conductive layer 125 having the second shape which forms the gate electrode, the fourth impurity region 147 located under a part of the conductive layer 125 having the second shape, and the fifth impurity region 146 serving as a source region or a drain region. The n-channel TFT

15 203 has a channel formation region 168, the conductive layer 126 having the second shape which forms the gate electrode, the second impurity region 181 located under a part of the conductive layer 126 having the second shape, and the third impurity region 139 serving as a source region or a drain region. By appropriately connecting such an n-channel TFT and a p-channel TFT with a wiring, a shift resistor circuit, a buffer circuit, a level shifter circuit, a latch circuit, or the like can be formed. Here, the

20 n-channel TFT 201 or 203 is preferably used for the buffer circuit which has a high driving voltage, for the purpose of preventing deterioration due to a hot carrier effect.

[0123]

 In addition, in the pixel portion 207, the n-channel TFT 204 has a channel formation region 171, a conductive layer 127 having the second shape which forms the

25 gate electrode, a first impurity region 133 formed outside the conductive layer 127 having the second shape, and the third impurity region 140 serving as a source region or a drain region. In addition, the holding capacitor 205 is formed of an insulating film (which is the same film as the gate insulating film 107) serving as a dielectric body, an electrode formed of the conductive layer 128 having the second shape, and

the polysilicon layer 106. In the polysilicon layer 106, the fourth impurity region 150 and the fifth impurity region 148 are formed.

Here, in the n-channel TFT 204 in the pixel portion 207, since the superficial layer of the polysilicon layer 105 in which the impurity regions are formed is irradiated
5 with the second laser light, characteristics of the pixel is improved.

[0124]

[Embodiment 2]

In Embodiment 2, the gate electrode in the active matrix substrate has a two-layer structure while the gate electrode of the active matrix substrate in
10 Embodiment 1 has a three-layer structure. Note that in this embodiment, the structure is the same as that in Embodiment 1 except for the structure of the gate electrode. A display device having such a structure is formed by the same steps as those in Embodiment 1, except for the step of forming a conductive film to serve as the gate electrode and a step of patterning this conductive film. Only these steps are described
15 hereinafter.

[0125]

First, as a conductive film to serve as the gate electrode, a stacked-layer is formed with a first conductive film formed of a TaN film having a film thickness of 30 nm and a second conductive film formed of a W film having a film thickness of 370
20 nm. The TaN film is formed by sputtering a Ta target in an atmosphere containing nitrogen. In addition, a W film is formed by sputtering a W target. Note that an alloy film formed of W and Mo may be used instead of the W film.

[0126]

This film formed of the two-layer structure is patterned by etching by an ICP
25 etching method after forming a mask formed of a resist thereover, similarly to the conductive film having the three-layer structure in Embodiment 1. At this time, by appropriately adjusting the etching condition (such as the amount of electrical power applied to a coil-shaped electrode, the amount of electrical power applied to an electrode on a substrate side, and a temperature of the electrode on the substrate side),

the film can be etched into a desired taper shape. Note that as a gas for etching, a chlorine based gas typified by Cl_2 , BCl_3 , SiCl_4 , CCl_4 , and the like, a fluorine based gas typified by CF_4 , SF_6 , NF_3 , and the like, or O_2 can be appropriately used.

[0127]

5 In specific, a first etching treatment and a second etching treatment are performed on the film formed of the two-layer structure, in a similar manner to Embodiment 1.

[0128]

10 In the first etching treatment, a first and a second etching are performed in a similar manner to Embodiment 1. In the first etching, CF_4 , Cl_2 , and O_2 are used as a gas for etching. The flow rates are, for example, 25/25/10 (sccm), respectively. Under such a condition, etching is performed by plasma which is generated by giving an RF (13.56 MHz) power of 500 W to a coil-shaped electrode at a pressure of 1 Pa. At this time, an RF (13.56 MHz) power of 150 W is also given to the substrate side (a
15 sample stage), so that a substantial negative self-bias voltage is applied. In the first etching, an etching rate of W is, for example, 200.39 nm/min and an etching rate of TaN is, for example, 80.32 nm/min. In addition, the selective ratio of W to TaN is, for example, approximately 2.5. The taper angle of W is made to be, for example, approximately 26° under this first etching condition.

20 [0129]

Subsequently, the etching condition is changed to perform the second etching. In the second etching, CF_4 and Cl_2 are used as a gas for etching. The flow rates are, for example, 30/30 (sccm), respectively. Under such a condition, etching is performed for approximately 30 seconds by generating plasma by giving an RF (13.56
25 MHz) power of 500 W to a coil-shaped electrode at a pressure of 1 Pa. At this time, an RF (13.56 MHz) power of 20 W is also given to the substrate side (a sample stage), so that a substantial negative self-bias voltage is applied. In the second etching in which CF_4 and Cl_2 are mixed, the W film and the TaN film are etched to the same level. In the foregoing second etching, an etching rate of W is, for example, 58.97 nm/min

and an etching rate of TaN is 66.43 nm/min.

[0130]

In the first etching treatment, edges of the first conductive layer and the second conductive layer can be formed into appropriate taper shapes by forming the shape of the mask which is formed of a resist into an appropriate shape, and by
5 applying appropriate bias voltage to the substrate side. For example, with the foregoing condition, the angle of the tapered portion becomes 15 to 45°.

[0131]

Then, the second etching treatment is performed. Here, SF₆, Cl₂, and O₂ are
10 used as a gas for etching. The flow rates are, for example, 24/12/24 (sccm), respectively. Under such a condition, etching is performed by using plasma for 25 seconds, which is generated by giving an RF (13.56 MHz) power of 700 W to a coil-shaped electrode at a pressure of 1.3 Pa. At this time, an RF (13.56 MHz) power of 10 W is also given to the substrate side (a sample stage), so that a substantial
15 negative self-bias voltage is applied. In the foregoing second etching treatment, an etching rate of W is, for example, 227.3 nm/min and an etching rate of TaN is, for example, 32.1 nm/min. The selective ratio of W to TaN is, for example, 7.1. In addition, an etching rate with respect to a silicon oxynitride film (SiON) serving as the gate insulating film is, for example, 33.7 nm/min and the selective ratio of W to silicon
20 oxynitride is, for example, 6.83. With this second etching treatment, the taper angle of W is made to be, for example, approximately 70°. In such a manner, the gate electrode is formed.

[0132]

Hereinafter by performing the same steps as those of Embodiment 1, an active
25 matrix substrate is formed.

[0133]

In the active matrix substrate formed by the foregoing steps, the gate electrode has high heat resistance although it has a high electric resistance value compared to Embodiment 1, since the gate electrode is formed of a stacked layer of the W film and

the TaN film. Therefore, it has an advantage in that the characteristic of the gate electrode is not easily influenced by treatment conditions in activation and hydrogenation.

[0134]

5 [Embodiment 3]

This embodiment is a method of manufacturing a reflective active matrix liquid crystal display device from the active matrix substrate manufactured in Embodiment 1 or 2.

[0135]

10 First, an active matrix substrate which is, for example, the same as FIG. 11 is obtained by the steps shown in Embodiment 1 or 2. Then, a columnar spacer for keeping a distance between substrates is formed at a desired position by forming an organic resin film such as an acrylic resin film over the active matrix substrate and by patterning this organic resin film. Note that spherical spacers may be scattered over
15 the entire surface of the substrate in stead of the columnar spacer. Next, an alignment film is formed over the active matrix substrate and a rubbing treatment is performed.

[0136]

Subsequently, a counter substrate is prepared. In the counter substrate, in a portion facing a pixel TFT of the active matrix substrate, a color filter formed of a
20 color layer and a light blocking layer are provided, and in a portion facing a driving circuit of the active matrix substrate, a light blocking layer is provided. Then, a planarizing film is formed over the prepared counter substrate, which covers both the color filter and the light blocking layer. Next, a counter electrode formed of a transparent conductive film is formed in a portion facing the pixel electrode and over
25 the planarizing film. Then, an alignment film is formed over the entire surface of the counter substrate and a rubbing treatment is performed.

[0137]

Subsequently, after forming a sealant over the counter substrate, a liquid crystal is dropped over the counter substrate. Here, before dropping the liquid crystal,

a protective film may be formed over the sealant so that reaction of the sealant and the liquid crystal is prevented. After that, the active matrix substrate and the counter substrate are attached to each other with the sealant. A filler is contained in the sealant. The active matrix substrate and the counter substrate are attached to each other with a regular gap kept by this filler and the foregoing columnar spacer. Then, the space between the two substrates is completely sealed with a sealing agent. In such a manner, the liquid crystal is sealed between the active matrix substrate and the counter substrate. As a liquid crystal material, a known liquid crystal material may be used.

10 [0138]

Note that the liquid crystal may be sealed between the active matrix substrate and the counter substrate in the following manner. First, the active matrix substrate and the counter substrate are attached to each other with the sealant. After that, while exhausting air from the space between the two substrates, the liquid crystal material is injected into the space between the two substrates and the space between the two substrates is completely sealed with the sealing agent.

[0139]

With the foregoing steps the active matrix liquid crystal display device is completed. Also, if needed, the active matrix substrate, the counter substrate, or both of the substrates are cut into a desired shape. Further, a polarizing plate or the like is appropriately provided using a known technique. Then, a flexible printed circuit (Flexible Print Circuit: hereinafter referred to as FPC) is attached interposing an anisotropic conductive film using a known technique. A connection electrode (not shown) formed of ITO, for example, is formed in a portion to which the FPC is attached. This connection electrode is partially mounted to a contact hole formed in an interlayer insulating film and in a resin film and is connected to a wiring of the active matrix substrate through this mounted portion.

25 [0140]

A structure of the thus obtained liquid crystal module is described. A pixel

portion is located at the center of the active matrix substrate. A plurality of pixels is formed in the pixel portion. A source signal line driving circuit for driving a source signal line is located over the pixel portion. On the left and right side of the pixel portion, gate signal line driving circuits for driving a gate signal line are located.

5 Although the gate signal line driving circuits are, for example, bilaterally symmetrically arranged with respect to the pixel portion, they may be arranged on one side only, or may be appropriately selected by the designer in accordance with a substrate size and the like in the liquid crystal module. However, the bilaterally symmetric arrangement is desirable taking into consideration operation reliably or

10 driving efficiency of the circuit. Input of a signal to the driver circuits is performed by the FPC.

Note that all driving circuits may be formed over the substrate. In addition, some ICs may be used in a part of the driving circuit.

[0141]

15 [Embodiment 4]

In Embodiment 3, a manufacturing method of a reflective display device in which a pixel electrode is formed of a reflective metal material is shown. In this embodiment, a manufacturing method of a transmissive display device in which a pixel electrode is formed of a light-transmitting conductive film is shown. Steps through

20 formation of the interlayer insulating film are the same as those in Embodiment 1; therefore, the same reference numeral is given and description thereof is omitted.

[0142]

As shown in a schematic cross-sectional view in FIG. 12, after forming up to the interlayer insulating film 400 according to Embodiment 1, a contact hole is formed

25 in the interlayer insulating film 400. Then, then, a plurality of connection electrodes 402 is formed by forming a light-transmitting conductive film over the interlayer insulating film 400 and by patterning this conductive film. These connection electrodes 402 are connected to a drain region or a drain region of the pixel TFT, or a capacitor element 205. In addition, an electrode connected to a source region and a

drain region of another TFT is formed at the same time as the connection electrode.

[0143]

Subsequently, after forming an interlayer insulating film 409 over the connection electrode 402 and over the interlayer insulating film 400, a contact hole is formed in the insulating film 409. Then, a pixel electrode 401 is formed by forming a light-transmitting conductive film over the interlayer insulating film 409 and by patterning this conductive film. The pixel electrode 401 is connected to the connection electrode 402 through the contact hole.

[0144]

Note that as a light-transmitting conductive film, ITO (indium oxide-tin oxide alloy), an indium oxide-zinc oxide alloy ($\text{In}_2\text{O}_3\text{-ZnO}$), zinc oxide (ZnO), ITSO (indium tin oxide containing silicon oxide), GZO (Ga-doped ZnO), or the like may be used.

In the foregoing manner, an active matrix substrate 410 is formed.

[0145]

Subsequently, a counter substrate 411 is prepared. In this counter substrate, a color filter 412 in which a color layer and a light blocking layer are arranged corresponding to pixels is provided. Note that in a portion corresponding to the driving circuit 206, a light blocking layer is provided. In addition, a planarizing film 407 to cover the color filter 412 and the light blocking layer is provided. Also, over the planarizing film 407, a counter electrode 408 formed of a light-transmitting conductive film is formed in a portion corresponding to the pixel portion 207. Further, an alignment film 422 is formed over the entire surface including over the counter electrode 408 and a rubbing treatment is performed.

[0146]

Subsequently, a liquid crystal 420 is sealed between the active matrix substrate 410 and the counter substrate 411. This sealing method is the same as that in Embodiment 3 and is performed using a sealant 419 and a sealing agent (not shown). Then, a liquid crystal module is manufactured by providing a polarizing plate 403 and the like, and a back light 404 and a light-guide plate 405 are provided thereto and is

covered with a cover 406. In such a manner, an active matrix liquid crystal display device, like that which a cross-sectional view is shown in FIG. 12 is completed.

[0147]

Note that the cover 406 and the liquid crystal module are attached to each other with an adhesive and an organic resin. In addition, when attaching the substrate 1 and the counter substrate 411 to each other, they may be attached to each other by being surrounded with a frame and filling the space between the frame and the substrate with an organic resin. Also, since this embodiment is transmissive, the polarizing plate 403 is attached to both the active matrix substrate and the counter substrate.

[0148]

[Embodiment 5]

In this embodiment, there is a method for manufacturing a light-emitting display device provided with an electroluminescent element, using an active matrix substrate formed according to Embodiment 1 or 2. An electroluminescent element refers to, for example, an EL (Electro Luminescence) element and has a layer containing an organic compound (organic light-emitting material) which emits light when electric field is added (hereinafter, referred to as an organic light-emitting layer), an anode, and a cathode. For a light-emitting display device using an electroluminescent element, a TFT is an essential element for realizing an active matrix driving method. In other words, in a light-emitting display device using an electroluminescent element, at least a TFT serving as a switching element and a TFT for supplying current to the electroluminescent element are included in each pixel. In this light-emitting display device, luminance of a pixel does not depend on a circuit structure or a driving method of the pixel, but depends on an ON current (I_{on}) of the TFT for supplying current to the electroluminescent element. Therefore, for example, in the case of entire-surface white display, variation of display on the screen is caused if ON currents of the pixels are not standardized. On the other hand, in this embodiment, since variation in an ON current of the TFT is small as described above,

variation of display on the screen hardly occurs. Note that the layer containing an organic compound (organic light-emitting material) may contain an inorganic material (such as silicon or silicon oxide).

Hereinafter, the same structure as that in Embodiment 1 is denoted by the same reference numeral and description thereof is omitted.

[0149]

FIG. 13A is a top view showing a display module, and FIG. 13B shows a cross-sectional view taken along A-A' of FIG. 13A. In the substrate 1, the pixel portion 207 is formed in the central portion and a source side driving circuit 206a and a gate side driving circuit 206b are formed in a driving circuit portion. The source side driving circuit 206a and the gate side driving circuit 206b have a structure almost the same as that of the driving circuit 206 in Embodiment 1 except for the structure of TFTs. In addition, although a sealing substrate 1a is located over the substrate 1, the space between the substrate 1 and the sealing substrate 1a is sealed with a sealant 518.

[0150]

Over the substrate 1, a wiring 508 is located in a portion which does not overlap with the sealing substrate 1a. The wiring 508 is a wiring for receiving a video signal and a clock signal from an FPC 509 serving as an external input terminal and for transmitting these signals to the source side driving circuit 206a and the gate side driving circuit 206b. Note that although only the FPC is shown here, this FPC may be provided with a printed wiring board (PWB) attached thereto. A light-emitting device in this specification includes not only a main body of a light-emitting device but also a state where an FPC or a PWB attached thereto.

[0151]

Next, a cross-sectional structure is described with reference to FIG. 13B. An insulating film 510 is formed over the substrate 1 and the pixel portion 207 and the gate side driving circuit 206b are formed over the insulating film 510. In the pixel portion 207, a current-control TFT 511, a plurality of pixels each including a first electrode 512 electrically connected to the current-control TFT 511, and a switching

TFT 513 are formed. In addition, the gate side driving circuit 206b is formed using a CMOS circuit in which an n-channel TFT 523 and a p-channel TFT 524 are combined.

These TFTs (including 511, 513, 523, and 524) are inversely staggered type TFTs which are manufactured according to the foregoing Embodiment Mode 4.

5 [0152]

The first electrode 512 serves as an anode of the electroluminescent element (EL element). For the first electrode 512, a material which is transparent or semitransparent to visible light and having a high work function (such as a single-layer film of ITO, indium zinc oxide, titanium nitride, chromium, tungsten, zirconium, platinum, or the like; a stacked-layer film of films whose main components are titanium nitride and aluminium; or a three-layer film of this stacked-layer film and a titanium nitride film) is preferably used. Note that if a stacked-layer structure is employed, a wiring resistance is lowered and a favorable ohmic contact can be obtained.

15 In addition, an electroluminescent layer (such as an EL layer) 516 and a second electrode 517 are formed over the first electrode 512.

[0153]

The electroluminescent layer 516 is formed of a light-emitting layer, a charge transporting layer, or a charge injecting layer, and they are arbitrarily combined. For example, as a light-emitting layer, a low molecular organic EL material or a high molecular organic EL material is preferably used. Alternatively, a thin film formed of a light-emitting material which emits light (fluorescence) by singlet excitation (a singlet compound) or a thin film formed of a light-emitting material which emits light (phosphorescence) by triplet excitation (a triplet compound) can be used. In addition, as the charge transporting layer or the charge injecting layer, an inorganic material such as silicon carbide can be used. Alternatively, a known material can be used in addition to the foregoing. Note that the electroluminescent layer 516 is formed by a vapor deposition method using a vapor deposition mask or a droplet discharging method (an ink jet method).

[0154]

The second electrode 517 serves as a cathode of the electroluminescent element and also serves as a wiring common to all pixels and is electrically connected to the FPC 509 through the wiring 508. All elements included in the pixel portion
5 207 are covered with the electroluminescent layer 516 and the second electrode 517. However, an insulating layer 514 is provided between the electroluminescent layer 516 and all pixels except for the first electrode 512. For the second electrode 517, a material having a low work function (such as Al, Ag, Li, Ca, or alloy thereof such as MgAg, MgIn, AlLi, or CaF_2 ; or CaN) may be used.

10 In addition, the space between the substrate 1 and the sealing substrate 1a is filled with a filling material 507. As the filling material 507, for example, an inert gas such as Ar, a sealant, or a drying agent can be used.

[0155]

With the foregoing structure, a light-emitting display device that emits light to
15 the substrate 1 side can be obtained. Then, the light-emitting element can be completely shielded from the outside by sealing the light-emitting element with the sealant 518 and the protective film. In such a manner, intrusion of a substance such as moisture, oxygen, or the like which promotes deterioration of the electroluminescent layer by oxidation can be prevented. Therefore, a light-emitting device with high
20 reliability can be obtained.

[0156]

Note that as a first modification of Embodiment 5, a structure in which light is emitted to the reverse direction of FIG. 13, that is, to the sealing substrate 1a side may be employed. In this case, the first electrode 512 serves as a cathode of the
25 light-emitting element and the second electrode 517 serves as an anode. In addition, the second electrode 517 has a structure in which a transparent material (such as ITO, In_2O_3 -ZnO, or ZnO) is stacked, for example, over a thin metal film.

[0157]

In addition, as a second modification of Embodiment 5, both of the first

electrode 512 and the second electrode 517 may be formed of a light-transmissive material. In this case, a light-emitting display device emits light from both the substrate 1 side and the sealing substrate 1a side.

[0158]

5 [Embodiment 6]

A driving circuit and a pixel portion formed by carrying out the present invention can be used for various display modules (an active matrix liquid crystal module or an active matrix electroluminescent module) as shown in Embodiments 3 to 5. In this embodiment, electronic appliances in which these display modules are
10 embedded are shown.

[0159]

Here, as an electronic appliance, a video camera, a digital camera, a head mount display (a goggle type display), a car navigation system, a projector, a car stereo, a personal computer, a mobile information terminal (such as a mobile computer, a
15 mobile phone, or an electronic book) or the like can be given. One example thereof is shown in FIGS. 14A to 15C.

[0160]

FIG. 14A shows a personal computer which includes a main body 2001, an image input portion 2002, a display portion 2003, a keyboard 2004, and the like. In
20 this display portion 2003, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0161]

FIG. 14B shows a video camera which includes a main body 2101, a display portion 2102, an audio input portion 2103, an operation switch 2104, a battery 2105, an
25 image receiving portion 2106, and the like. In this display portion 2102, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0162]

FIG. 14C shows a mobile computer (mobile computer) which includes a main body 2201, a camera portion 2202, an image receiving portion 2203, an operation

switch 2204, a display portion 2205, and the like. In this display portion 2205, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0163]

FIG. 14D shows a goggle type display which includes a main body 2301, a display portion 2302, an arm portion 2303, and the like. In this display portion 2302, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0164]

FIG. 14E shows a player using a recording medium in which a program is recorded (hereinafter, called recording medium), which includes a main body 2401, a display portion 2402, a speaker portion 2403, a recording medium 2404, an operation switch 2405, and the like. Note that this player uses a DVD (Digital Versatile Disc), CD, or the like as a recording medium and makes it possible to listen to the music, watch the movie, play a game, and have access to the Internet. In this display portion 2402, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0165]

FIG. 14F shows a digital camera which includes a main body 2501, a display portion 2502, an eye piece portion 2503, an operation switch 2504, an image receiving portion (not shown), and the like. In this display portion 2502, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0166]

FIG. 15A shows a mobile phone which includes a main body 2901, an audio outputting portion 2902, an audio inputting portion 2903, a display portion 2904, an operation switch 2905, an antenna 2906, an image inputting portion (a CCD, an image sensor, or the like) 2907, and the like. In this display portion 2904, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0167]

FIG. 15B shows a portable book (electronic book) which includes a main body 3001, display portions 3002 and 3003, a recording medium 3004, an operation switch

3005, an antenna 3006, and the like. In these display portions 3002 and 3003, the display module manufactured by the method shown in Embodiments 3 to 5 is used.

[0168]

FIG. 15C shows a display which includes a main body 3101, a support base
5 3102, a display portion 3103, and the like. In this display portion 3103 the display module manufactured by the method shown in Embodiments 3 to 5 is used. Note that the display shown in FIG. 14C is a small or medium sized or a large sized display, for example, which has a 5 to 20 inch screen size. In addition, in order to form a display portion with such a size, mass-production by multiple patterning using a substrate with
10 one meter on a side is preferable.

[0169]

As described above, an application range of the present invention is so wide that the present invention can be applied to electronic appliances in various fields.

[0170]

15 Note that the present invention is not limited to the foregoing embodiment modes, and can be carried out with various modifications without departing from the scope of the present invention.

[Brief Description of Drawings]

[0171]

20 [FIGS. 1A to 1E] Drawings showing a manufacturing method of the semiconductor device according to Embodiment Mode 1 of the present invention.

[FIGS. 2A to 2E] Drawings showing steps following FIGS. 1A to 1E.

[FIGS. 3A to 3E] SEM photographs of the surface of the crystallized semiconductor film which is manufactured according to Embodiment Mode 1.

25 [FIGS. 4A to 4D] Drawings showing a manufacturing method of the semiconductor device according to Embodiment Mode 2.

[FIG. 5] A graph showing a relation between the number of pinholes and the energy density of the second laser light.

[FIG. 6A to 6I] SEM photographs of a surface of the crystalline silicon film

manufactured in Experiment.

[FIGS. 7A to 7C] Drawings showing a manufacturing method of the semiconductor device according to Embodiment Mode 3.

[FIGS. 8A to 8E] Drawings showing a manufacturing method of the semiconductor device according to Embodiment Mode 4.

[FIGS. 9A to 9C] Drawings showing a manufacturing method of the active matrix substrate according to Embodiment 1.

[FIGS. 10A to 10C] Drawings showing steps following FIGS. 9A to 9C.

[FIG. 11] A drawing showing step following FIGS. 10A to 10C.

[FIG. 12] A schematic cross-sectional view showing the active matrix liquid crystal display device according to Embodiment 4.

[FIGS. 13A and 13B] A shows a schematic plan view of the light-emitting display device according to Embodiment 5 and B shows a cross-sectional view taken along A-A' in A.

[FIGS. 14A to 14F] Schematic drawings of electronic appliances according to Embodiment 6 which use the display devices manufactured according to the present invention.

[FIGS. 15A to 15C] Schematic drawings of electronic appliances according to Embodiment 6 which use the display devices manufactured according to the present invention.

[FIGS. 16A to 16C] Drawings showing the first reason of formation of pinholes in a crystallized semiconductor film.

[FIGS. 17A to 17D] Drawings showing the second reason of formation of pinholes in crystallized semiconductor film.

[Explanation of Reference]

[0172]

1...substrate, 2...base insulating film, 3...amorphous semiconductor film, 4...a metal-containing layer, 5a...crystallized semiconductor film, 6...barrier layer, 7...gettering layer, 8...pinhole, 10...crystalline semiconductor layer, 12...gate

insulating film, 13...gate electrode, 14...source region, 15...drain region,
16...interlayer insulating film, 17...gate electrode, 18...drain electrode

continued from the front page

5	(51) Int. Cl. ⁷	FI	Theme Code (reference)
	H05B 33/14	H01L 29/78	627Z

F term (reference) 5F052 AA02 AA17 AA24 BA07 BB02 BB05 BB07 DA02
DA03 DB02 DB03 DB07 EA12 EA15 EA16 FA06 FA19 HA01 JA01

10	5F110 AA12 AA26 BB02 BB04 CC02 CC05 CC08 DD01 DD02 DD03 DD05 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE09 EE14 EE15 EE23 EE44 FF04 FF30 GG01 GG02 GG13 GG25 GG32 GG43 GG45 GG47 HJ01 HJ04 HJ13 HJ18 HJ23 HL02 HL03 HL04 HL06 HL11 HM15 NN03 NN04 NN23 NN24 NN27 NN35 NN73 PP01 PP02 PP03 PP04 PP05 PP06 PP10 PP13 15 PP29 PP34 PP35 QQ04 QQ09 QQ11 QQ23 QQ25 QQ28
----	---

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-327865

(P2005-327865A)

(43) 公開日 平成17年11月24日(2005.11.24)

(51) Int.Cl. ⁷	F I	テーマコード (参考)	
H O 1 L 21/20	H O 1 L 21/20	3 K 0 0 7	
H O 1 L 21/268	H O 1 L 21/268	F	5 F 0 5 2
H O 1 L 21/322	H O 1 L 21/322	G	5 F 1 1 0
H O 1 L 21/336	H O 5 B 33/14	A	
H O 1 L 29/786	H O 1 L 29/78 6 2 7 G		
審査請求 未請求 請求項の数 10 O L (全 38 頁) 最終頁に続く			
(21) 出願番号	特願2004-143928 (P2004-143928)		
(22) 出願日	平成16年5月13日 (2004. 5. 13)		
	(71) 出願人 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (74) 代理人 100110858 弁理士 柳瀬 睦肇 (74) 代理人 100100413 弁理士 渡部 温 (72) 発明者 坂倉 真之 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 井上 弘毅 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 Fターム(参考) 3K007 BA06 DB03 FA00 GA00		
	最終頁に続く		

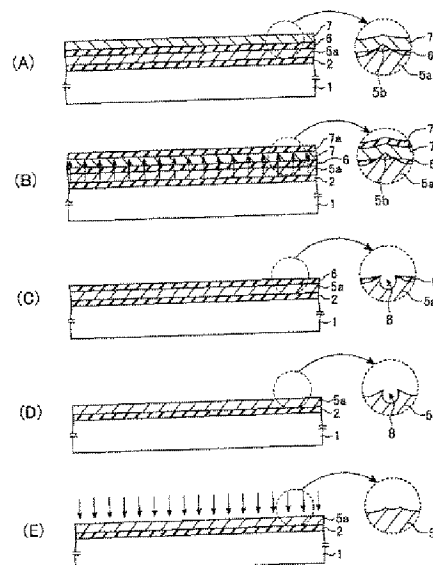
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 結晶質珪素膜の表面にピンホールが残らないようにする。

【解決手段】 基板 1 上に珪素を含む非晶質半導体膜 3 を形成し、非晶質半導体膜 3 に該非晶質半導体膜 3 の結晶化を促進する金属元素を添加して金属含有層 4 を形成する。金属含有層 4 に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜 5 a を形成する。結晶化半導体膜 5 a に第1のレーザー光を照射することにより、結晶化半導体膜 5 a をさらに結晶化させる。結晶化半導体膜 5 a の上方に希ガス元素を含んだ半導体からなるゲッターリング層 7 を形成し、金属元素をゲッターリング層 7 にゲッターリングすることにより、結晶化半導体膜 5 a に含まれる金属元素を除去又は低減する。ゲッターリング層 7 を除去した後、結晶化半導体膜 5 a に、第1のレーザー光よりエネルギー密度が低い第2のレーザー光又は強光を照射することにより、結晶化半導体膜 5 a の表面のピンホールを埋める。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板の上方に珪素を含む非晶質半導体膜を形成する工程と、
前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

、
前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜を形成する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、 10

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層にゲッタリングすることにより、前記結晶化半導体膜に含まれる前記金属元素を除去又は低減する工程と、

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、

前記バリア層を除去する工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と

を具備することを特徴とする半導体装置の作製方法。 20

【請求項 2】

請求項1に記載の半導体装置の作製方法において、前記バリア層を形成する工程は、オゾンを含む溶液で前記結晶化半導体膜の表面を酸化する工程であることを特徴とする半導体装置の作製方法。

【請求項 3】

絶縁表面を有する基板の上方に珪素を含む非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

、
前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜を形成する工程と、 30

前記結晶化半導体膜の表面に形成された酸化膜をエッチングにより除去する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層に移動させてゲッタリングする工程と、

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、 40

前記バリア層を除去する工程と、

前記結晶化半導体膜に前記第1のレーザー光よりエネルギー密度が低い第3のレーザー光を照射する工程と

を具備することを特徴とする半導体装置の作製方法。

【請求項 4】

絶縁表面を有する基板の上方に珪素を含む非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

、
前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して 50

結晶化半導体膜を形成する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層にゲッタリングすることにより、前記結晶化半導体膜に含まれる前記金属元素を除去又は低減する工程と、

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、

前記バリア層を除去する工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と

前記結晶化半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

を具備する半導体装置の作製方法。

【請求項5】

絶縁表面を有する基板の上方にゲート電極を形成する工程と、

前記ゲート電極上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に珪素を含む非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

、
前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜を形成する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層にゲッタリングすることにより、前記結晶化半導体膜に含まれる前記金属元素を除去又は低減する工程と、

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、

前記バリア層を除去する工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と

を具備する半導体装置の作製方法。

【請求項6】

請求項1乃至5のいずれか一項に記載の半導体装置の作製方法において、

前記ゲッタリングする工程は、前記ゲッタリング層及び前記非晶質半導体膜に第2の熱処理を行う工程であることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至5のいずれか一項に記載の半導体装置の作製方法において、

前記ゲッタリングする工程は、前記ゲッタリング層及び前記非晶質半導体膜に強光を照射する工程であることを特徴とする半導体装置の作製方法。

【請求項8】

請求項1乃至5のいずれか一項に記載の半導体装置の作製方法において、

前記ゲッタリングする工程は、前記ゲッタリング層及び前記非晶質半導体膜に熱処理を行い、かつ強光を照射する工程であることを特徴とする記載の半導体装置の作製方法。

【請求項9】

10

20

30

40

50

請求項 1 乃至 8 のいずれか一項に記載の半導体装置の作製方法において、

前記金属元素は、F e、N i、C o、R u、R h、P d、O s、I r、P t、C u、A u から選ばれた一種又は複数種であることを特徴とする半導体装置の作製方法。

【請求項 1 0】

請求項 1 乃至 9 のいずれか一項に記載の半導体装置の作製方法において、

前記ゲッタリング層に含まれる希ガス元素は、H e、N e、A r、K r、X e から選ばれた一種又は複数種であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は薄膜トランジスタ（以下 T F T と記載）で構成された回路を有する半導体装置の作製方法に関する。尚本明細書において半導体装置とは、半導体特性を利用して機能する装置全般を指し、また本発明により作製される半導体装置は、T F T を用いて構成される半導体集積回路（マイクロプロセッサ、信号処理回路又は高周波回路等）を有する液晶表示装置、発光表示装置及び電子機器を範疇に含んでいる。

【背景技術】

【0 0 0 2】

液晶表示装置及び発光表示装置（例えば有機 E L 表示装置）等の駆動回路及び画素部には T F T が用いられる場合が多い。T F T の活性層に結晶質珪素膜を用いると、高い電界効果移動度を実現することができる。電界効果移動度は T F T の応答特性に直接影響するため、T F T を駆動回路として有する液晶表示装置の表示能力に直接影響する。従って品質のよい結晶質半導体膜を形成する必要がある。

【0 0 0 3】

ニッケルなどの金属元素を添加して非晶質珪素膜を結晶化させると、金属元素が触媒となって結晶化が促進され、また結晶化に必要な温度が低下することが知られている。またこのように形成された結晶質珪素膜にレーザーを照射すると結晶化がさらに進むことが分かっている。しかし金属元素が T F T の活性層である結晶質珪素膜に残存していると、T F T の電気的特性がばらつくことがある。従って結晶化後に金属元素を結晶性珪素膜から除去する必要がある。そこで本出願人は、結晶質珪素膜上にバリア層及び希ガス元素を含んだ半導体膜をこの順に形成し、半導体膜を金属元素のゲッタリング層として作用させることにより、結晶質珪素膜に含まれる金属元素を除去又は低減させる方法を開発した（例えば特許文献 1 参照）。

【特許文献 1】特開 2 0 0 2 - 3 2 4 8 0 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

上記した結晶質珪素膜に含まれる金属元素を除去又は低減させる方法において、ゲッタリング後にゲッタリング層及びバリア層をエッチングにより除去すると、結晶質珪素膜の表面にピンホールが形成されることがある。この理由は以下に示す第 1 または第 2 のいずれかと推定される。

【0 0 0 5】

まず第 1 の理由を、図 1 6 の各断面図を参照して説明する。図 1 6（A）に示すように下地膜 1 0 0 1 上の結晶質珪素膜 1 0 0 2 にレーザーを照射すると、表面に凹凸が形成され、突起が形成される。この突起の部分に金属元素が集中し、金属と S i の合金 1 0 0 9 が形成される。次いで酸化膜からなるバリア層 1 0 0 4 を形成するが、合金 1 0 0 9 が形成されている部分にはバリア層 1 0 0 4 が形成されない。次いでバリア層 1 0 0 4 の上に半導体膜からなるゲッタリング層 1 0 0 6 を形成し、熱処理を行う。これにより結晶質珪素膜 1 0 0 2 に含まれる金属元素の大部分はゲッタリング層 1 0 0 6 にゲッタリングされる。このときゲッタリング層 1 0 0 6 の表層は酸化されて酸化膜 1 0 0 8 を形成する。

【0 0 0 6】

10

20

30

40

50

次いで図16 (B) に示すようにゲッタリング層1006をエッチングストッパーとしてエッチングを行うことにより、酸化膜1008を除去する。次いで図16 (C) に示すようにバリア層1004をエッチングストッパーとしてエッチングを行うことにより、ゲッタリング層1006を除去する。このとき結晶質珪素膜1002のうち合金1009が形成されている部分上にはバリア層1004が形成されていないため、ゲッタリング層1006と共に結晶質珪素膜1002もエッチングされ、ピンホール1010が形成される。

【0007】

次に第2の理由を、図17を参照して説明する。図17 (A) に示すように下地膜1001上の結晶質珪素膜1002にレーザーを照射すると、部分的に突起が形成される。この突起の部分に金属元素が集中し、金属とSiの合金1009が形成される。次いでバリア層1004及び半導体膜からなるゲッタリング層1006をこの順に形成する。このときバリア層1004は突起上にも形成される。

【0008】

そして図17 (B) に示すように熱処理を行う。これにより結晶質珪素膜1002に含まれる金属元素の大部分をゲッタリング層1006にゲッタリングさせる。このときゲッタリング層1006の表層は酸化されて酸化膜1008を形成する。また合金1009を形成していた金属元素はゲッタリング層1006に移り、ゲッタリング層1006中に半導体と金属の合金1011を形成する。

【0009】

次いで図17 (C) に示すようにゲッタリング層1006をエッチングストッパーとしてエッチングを行うことにより、酸化膜1008を除去する。このとき合金1011もエッチングされるため、バリア層1004のうち合金1011の下に位置する部分もエッチングされて除去される。

次いで図17 (D) に示すようにバリア層1004をエッチングストッパーとしてエッチングを行うことにより、ゲッタリング層1006を除去する。このとき結晶質珪素膜1002のうち合金1009があった部分は、上にバリア層1004がないためゲッタリング層1006とともにエッチングされ、ピンホール1010が形成される。

【0010】

このようにして結晶質珪素膜等の結晶性半導体膜にピンホールが形成されるとTFET等の特性に影響が出る。このため結晶質半導体膜にピンホールが残らないようにするのが望ましい。

本発明は上記のような事情を考慮してなされたものであり、その目的は、結晶質半導体膜表面のピンホールの数を低減することができる半導体装置の作製方法を提供することにある。

【課題を解決するための手段】

【0011】

上記課題を解決するため、本発明にかかる第1の半導体装置の作製方法は、絶縁表面を有する基板の上方に珪素を含む非晶質半導体膜を形成する工程と、前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

、前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜を形成する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層にゲッタリングすることにより、前記結晶化半導体膜に含まれる前記金属元素を除去又は低減する工程と、

10

20

30

40

50

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、

前記バリア層を除去する工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と

を具備することを特徴とする。

【0012】

この半導体装置の作製方法によれば、結晶化半導体膜に第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射しているため、金属元素のゲッタリングシंकとして機能するゲッタリング層を除去する際に結晶化半導体膜にピンホールが形成されても、このピンホールを埋めることができる。従って作製された半導体装置において結晶化半導体膜に残存するピンホールの数を低減することができる。

【0013】

第1の半導体装置の作製方法において、バリア層を形成する工程は、オゾンを含む溶液で結晶化半導体膜の表面を酸化する工程であってもよい。

【0014】

本発明に係る第2の半導体装置の作製方法は、

絶縁表面を有する基板の上方に珪素を含む非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

、
前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜を形成する工程と、

前記結晶化半導体膜の表面に形成された酸化膜をエッチングにより除去する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層に移動させてゲッタリングする工程と、

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、

前記バリア層を除去する工程と、

前記結晶化半導体膜に前記第1のレーザー光よりエネルギー密度が低い第3のレーザー光を照射する工程と

を具備することを特徴とする。

【0015】

この第2の半導体装置の作製方法によれば、第1の半導体装置の作製方法と同一の効果を得ることができる。

また非晶質半導体膜を熱処理して結晶化半導体膜を形成する際に、結晶化半導体膜の表面に酸化膜が形成される場合がある。この酸化膜をエッチングにより除去すると、結晶化半導体膜の表面にピンホールが形成される場合がある。これに対して第2の半導体装置の作製方法では、結晶化半導体膜に第1のレーザー光を照射した後に第2のレーザー光を照射している。このため酸化膜をエッチングする際に結晶化半導体膜の表面にピンホールが形成された場合であっても、このピンホールを埋めることができる。

【0016】

本発明に係る第3の半導体装置の作製方法は、

絶縁表面を有する基板の上方に珪素を含む非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜を形成する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層にゲッタリングすることにより、前記結晶化半導体膜に含まれる前記金属元素を除去又は低減する工程と、

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、

前記バリア層を除去する工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と

前記結晶化半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、
を具備する。

【0017】

本発明に係る第4の半導体装置の作製方法は、

絶縁表面を有する基板の上方にゲート電極を形成する工程と、

前記ゲート電極上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に珪素を含む非晶質半導体膜を形成する工程と、

前記非晶質半導体膜に該非晶質半導体膜の結晶化を促進する金属元素を添加する工程と

前記非晶質半導体膜に第1の熱処理を行うことにより、該非晶質半導体膜を結晶化して結晶化半導体膜を形成する工程と、

前記結晶化半導体膜に第1のレーザー光を照射することにより、前記結晶化半導体膜をさらに結晶化させる工程と、

前記結晶化半導体膜上に、該結晶化半導体膜を保護するバリア層を形成する工程と、

前記バリア層上に、希ガス元素を含んだ半導体からなるゲッタリング層を形成する工程と、

前記金属元素を前記ゲッタリング層にゲッタリングすることにより、前記結晶化半導体膜に含まれる前記金属元素を除去又は低減する工程と、

前記バリア層をストッパーとしてエッチングを行うことにより、前記ゲッタリング層を除去する工程と、

前記バリア層を除去する工程と、

前記結晶化半導体膜に、前記第1のレーザー光よりエネルギー密度が低い第2のレーザー光を照射する工程と

を具備する。

【0018】

上記したいずれかの半導体装置の作製方法において、ゲッタリングする工程は、非晶質半導体膜及びゲッタリング層に第2の熱処理を行う工程であってもよく、ゲッタリング層及び非晶質半導体膜に強光を照射する工程であってもよい。またゲッタリング層及び非晶質半導体膜に熱処理を行い、かつ強光を照射する工程であってもよい。

【0019】

上記したいずれかの半導体装置の作製方法において、金属元素は、Fe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種又は複数種であるのが好ましい。

また上記したいずれかの半導体装置の作製方法において、ゲッタリング層に含まれる希

ガス元素は、He、Ne、Ar、Kr、Xeから選ばれた一種又は複数種であるのが好ましい。

【発明の効果】

【0020】

以上説明したように本発明によれば、金属元素のゲッタリングシंकとして機能するゲッタリング層を除去する際に結晶化半導体膜にピンホールが形成されても、このピンホールを埋めることができる。従って作製された半導体装置において結晶化半導体膜に残存するピンホールの数を低減することができる。

【発明を実施するための形態】

【0021】

(第1の実施形態)

以下、図1～図5を参照して本発明の第1の実施形態について説明する。本実施形態にかかる半導体装置の作製方法は、絶縁表面上に非晶質半導体膜を形成する工程と、該非晶質半導体膜に結晶化を助長する金属元素（例えばニッケル）を添加する工程と、非晶質半導体膜を加熱処理して結晶化させることにより結晶化半導体膜を形成する工程と、該結晶化半導体膜の結晶性を高めるために第1のレーザー光を照射する工程と、結晶化半導体膜上にバリア層である酸化膜を形成する工程と、ゲッタリング層をバリア層上に形成する工程と、結晶化半導体膜、バリア層及びゲッタリング層を加熱処理することで結晶化半導体膜中の金属元素をゲッタリング層にゲッタリングさせる工程と、ゲッタリング層及びバリア層を除去する工程と、結晶化半導体膜上に第1のレーザー光よりエネルギー密度が低い（例えば $30 \text{ mJ/cm}^2 \sim 60 \text{ mJ/cm}^2$ ほどエネルギー密度が低い）第2のレーザー光を不活性気体雰囲気、真空または大気で照射して結晶化半導体膜上のピンホールを埋める工程とを有している。

【0022】

まず図1(A)に示すように基板1上に下地絶縁膜2を形成する。ここで基板1としては、ガラス基板、石英基板、セラミック基板などを用いることができる。またシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、後述するすべての工程の処理温度に熱的に耐えうるプラスチック基板を用いてもよい。

【0023】

下地絶縁膜2は基板1に含まれる元素（例えばアルカリ金属）がこの上層に形成される半導体膜中に拡散しないために設けられる。下地絶縁膜2としては酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ SiO_xN_y ）等の絶縁膜を用いる。例えば以下に示す第1及び第2層を積層した絶縁膜が例示される。第1層は SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される第1酸化窒化シリコン膜であり、その膜厚は $50 \sim 100 \text{ nm}$ である。第2層は SiH_4 、及び N_2O を反応ガスとして成膜される第2酸化窒化シリコン膜であり、その膜厚は $100 \sim 150 \text{ nm}$ である。また、下地絶縁膜2を一層構造としてもよい。この場合下地絶縁膜2としては窒化シリコン膜（ Si_3N_4 膜）、又は上記したプロセスで形成される第2酸化窒化シリコン膜（ $\text{Si}_x\text{N}_y\text{O}_z$ 膜（ $x \gg y$ ））を用いることが好ましい。ゲッタリングの際、金属元素（例えばニッケル）は酸素濃度の高い領域に移動しやすい傾向があるため、下地絶縁膜2を窒化シリコン膜とすることは好ましいことである。また、第1酸化窒化シリコン膜、第2酸化窒化シリコン膜、窒化シリコン膜とを順次積層した3層構造の絶縁膜を下地絶縁膜2としてもよい。

【0024】

次いで、下地絶縁膜2上に非晶質構造を有する半導体膜（以下、非晶質半導体膜と記載）3を例えばスパッタリング法により形成する。非晶質半導体膜3はシリコンを主成分とする半導体材料から形成される。例えば、非晶質半導体膜3は非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などであり、プラズマCVD法や減圧CVD法、或いはスパッタ法によって $10 \sim 100 \text{ nm}$ の厚さに形成される。後の結晶化工程で良質な結晶構造を得るためには、非晶質半導体膜3の膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ （二次イオン質量分析法（SIMS）にて測定した原子濃度）以下に低減させてお

くと良い。これらの不純物は後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内を鏡面処理（電界研磨処理）したり、オイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。

【0025】

次いで、非晶質半導体膜3を結晶化させる。ここでは特開平8-78329号公報記載の技術を用いる。同公報記載の技術は、非晶質シリコン膜（アモルファスシリコン膜とも呼ばれる）に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行うことで添加領域を起点として非晶質シリコン膜を結晶化させるものである。詳細は以下の通りである。

【0026】

まず、図1（B）に示すように非晶質半導体膜3の表面に金属含有層4を形成する。金属含有層4は、半導体膜の結晶化を促進する触媒作用を有する金属元素（例えばFe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種又は複数種）を含有している。金属元素がNiである場合、金属含有層4は、例えばニッケルを重量換算で1～100ppm含む酢酸ニッケル塩溶液をスピナーで塗布することにより形成される。なお金属含有層4の形成方法は、塗布以外に、スパッタ法、蒸着法、またはプラズマ処理により極薄い膜を形成する方法がある。また、ここでは、全面に塗布する例を示したが、マスクを形成して選択的に金属含有層を形成してもよい。また金属含有層4は非晶質半導体膜3を形成する前、すなわち非晶質半導体膜3の下に形成されてもよい。

【0027】

次いで図1（C）に示すように、基板1、下地絶縁膜2、非晶質半導体膜3及び金属含有層4を加熱処理する。すると半導体中に金属元素と半導体との合金が形成され、この合金を核として結晶化が進行する。これにより非晶質半導体膜3が結晶化し、結晶構造を有する半導体膜（以下、結晶化半導体膜と記載）5aが形成される。なお、結晶化半導体膜5aに含まれる酸素濃度は、 $5 \times 10^{-18} / \text{cm}^3$ 以下とすることが望ましい。ここでは、脱水素化のための熱処理（450℃、1時間）の後、結晶化のための熱処理（550℃～650℃で4～24時間）を行う。

【0028】

また、加熱処理の代わりに強光の照射を行うことにより、非晶質半導体膜3の結晶化を行うこともできる。この場合、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能であるが、代表的には、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いる。ランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1回～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的に600～1000℃程度にまで加熱されるようにする。なお、必要であれば、強光を照射する前に非晶質構造を有する非晶質半導体膜3に含有する水素を放出させる熱処理を行ってもよい。また、加熱処理と強光の照射の双方を行うことにより結晶化を行ってもよい。

【0029】

なお上記した加熱処理または強光照射する処理において結晶化半導体膜5aの表面に図示しない酸化膜が形成されるが、この酸化膜は次の工程を行う前にエッチングにより除去されるのが好ましい。

【0030】

次いで図1（D）に示すように、結晶化半導体膜5aの結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、結晶化半導体膜5aに対して第1のレーザー光を大気または酸素雰囲気中で照射する。なお第1のレーザー光を照射した場合、図1（D）の拡大図に示すように、結晶化半導体膜45aの表面に凹凸が形成される。そして凸部の先端部には金属が凝集し、半導体と金属の合金（例えばNiSi）5bが形成される。なお図示していないが結晶化半導体膜5aの表層は酸化されるが、この酸化膜は後述するバリア層の一部として機能する。

【0031】

第1のレーザー光としては、パルス発振型または連続発振型である波長400nm以下のエキシマレーザー、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、サファイアレーザーなどを用いることができる。また、これらレーザー光に代えて紫外光ランプから発する光を用いてもよい。

上記したレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射すればよい。結晶化の条件は実施者が適宜選択するものであるが、パルス発振型のエキシマレーザーを用いる場合は、例えばパルス発振周波数30Hzとし、レーザーエネルギー密度を100～500mJ/cm²とする。また、パルス発振型のYAGレーザーやYVO₄レーザーを用いる場合には、その第2高調波または第3高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²とすると良い。本実施形態におけるレーザーエネルギー密度は390mJ/cm²である。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射する。この時、レーザー光の重ね合わせ率（オーバーラップ率）を80～98%にするのが好ましい。

【0032】

また連続発振型のレーザー（例えば連続発信型のYVO₄レーザー）を用いる場合、出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波（第2高調波～第4高調波）に変換する。その他、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、非晶質半導体膜3に照射する。このときのエネルギー密度は0.001～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、0.5～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0033】

このようにして得られる結晶化半導体膜5aには金属元素（ここではニッケル）が残存している。金属元素は膜中において一様に分布していないにしろ、平均的には1×10¹⁹/cm³を越える濃度で残存している場合が多い。勿論、このような状態でもTFEをはじめ各種半導体素子を形成することが可能であるが、本実施形態では、以下に示す方法で当該元素を除去する。

【0034】

まず図1(E)に示すように、オゾン含有水溶液（代表的にはオゾン水）で結晶化半導体膜5aの表面を処理することにより、結晶化半導体膜5aの表面に酸化膜（ケミカルオキシaidと呼ばれる）を形成する。これにより合計1～10nmの酸化膜からなるバリア層6が形成される。バリア層6は、後の工程でゲッタリング層のみを選択的に除去する際にエッチングストッパーとして機能する。

【0035】

ここでオゾン含有水溶液に代えて、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にバリア層6（ケミカルオキシaid）を形成することができる。また、酸素雰囲気下で紫外線を照射してオゾンを発生させ、このオゾンにより結晶化半導体膜5aの表面を酸化することによりバリア層6を形成してもよい。

【0036】

また、プラズマCVD法やスパッタ法や蒸着法などで1～10nm程度の酸化膜をバリア層6として堆積しても良い。バリア層6の形成にプラズマCVD法やスパッタ法や蒸着法などを用いる場合は、結晶化半導体膜5aの表面を洗浄し、自然酸化膜やレーザー光の照射により形成された酸化膜などを除去した後で形成することが望ましい。

【0037】

バリア層6の形成にプラズマCVD法を用いる場合、原料ガスとしてはシラン系ガス（モノシラン、ジシラン、トリシラン等）と窒素酸化物系ガス（NO_xで表記されるガス）

10

20

30

40

50

を用いる。例えば、原料ガスとしてモノシラン (SiH_4) と亜酸化窒素 (N_2O)、或いは TEOS ガスと N_2O 、或いは TEOS ガスと N_2O と O_2 を用い、 10 nm 以下、好ましくは 5 nm 以下の酸化窒化シリコン膜を形成する。この酸化窒化シリコン膜は、オゾン含有水溶液 (代表的にはオゾン水) で得られる酸化膜 (ケミカルオキシaidと呼ばれる) や、酸素雰囲気下の紫外線の照射で得られる酸化膜と比較して、結晶化半導体膜 5 a との密着性が高く、後の工程 (ゲッタリング層の形成) でピーリングが発生しにくい。プラズマ CVD 法を用いる場合は、密着性を高くするために、バリア層の形成前にアルゴンプラズマ処理を行ってもよい。

【0038】

また、他のバリア層 6 の形成方法としては、クリーンオープンを用い、 $200 \sim 350^\circ\text{C}$ 程度に加熱して薄い酸化膜を形成する方法もある。バリア層 6 は、上記方法のいずれか一の方法、またはそれらの方法を組み合わせて形成されたものであれば特に限定されないが、後のゲッタリングで結晶化半導体膜 5 a 中の金属元素 (例えばニッケル) がゲッタリング層に移動可能な膜質または膜厚とすることが必要である。なお上記膜厚範囲の酸化窒化シリコン膜であれば、金属元素はバリア層を通過してゲッタリングサイトに移動することができる。

【0039】

次いで図 2 (A) に示すようにバリア層 6 上に希ガス元素を含むゲッタリング層 7 をゲッタリングサイトとして形成する。ここでは、スパッタリング法により希ガス元素を含む半導体膜をゲッタリング層 7 として形成する。なお前述した非晶質半導体膜 3 には希ガス元素が添加されないようにスパッタリング条件を適宜調節することが望ましいが、ゲッタリング層 7 を形成するときには希ガス元素が添加されるようにスパッタリング条件を適宜調節する。希ガス元素としてはヘリウム (He)、ネオン (Ne)、アルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) から選ばれた一種または複数種を用いる。中でも安価なガスであるアルゴン (Ar) が好ましい。ここでは希ガス元素を含む雰囲気中でシリコンからなるターゲットをスパッタリングし、ゲッタリング層 7 を形成する。ゲッタリング層 7 中に不活性気体である希ガス元素イオンを含有させる意味は二つある。一つはダングリングボンドを形成し、ゲッタリング層 7 を構成する半導体膜に歪みを与えることであり、他の一つは半導体膜の格子間に歪みを与えることである。半導体膜の格子間に歪みを与えるにはアルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) など半導体膜を構成する元素 (例えばシリコン) より原子半径の大きな元素を用いるのが好ましい。また、半導体膜中に希ガス元素を含有させると、格子歪が生じるのみでなく、不對結合手も形成されるため、半導体膜のゲッタリング能力はさらに向上する

【0040】

なお一導電型の不純物元素であるリンを含むターゲットを用いてゲッタリング層 7 を形成した場合、希ガス元素によるゲッタリングに加え、リンのクーロン力を利用してゲッタリングを行うことができる。

また、ゲッタリングの際、金属元素 (例えばニッケル) は酸素濃度の高い領域に移動しやすい傾向があるため、ゲッタリング層 7 に含まれる酸素濃度は、非晶質半導体膜 3 に含まれる酸素濃度より高い濃度、例えば $5 \times 10^{18} / \text{cm}^3$ 以上とすることが望ましい。

【0041】

次いで図 2 (B) に示すように結晶化半導体膜 5 a、バリア層 6 およびゲッタリング層 7 に熱処理 (例えば加熱処理または強光を照射する処理) を行って金属元素 (例えばニッケル) のゲッタリングを行い、結晶化半導体膜 5 a 中における金属元素を低濃度化したり、又は除去する。すなわち加熱または強光を照射することにより、図 2 (B) 中の矢印の方向 (即ち、結晶化半導体膜 5 a からバリア層 6 を通過してゲッタリング層 7 に向かう方向) に金属元素が移動し、結晶化半導体膜 5 a に含まれる金属元素が除去され、または金属元素の濃度が低減する。金属元素がゲッタリングされるためには、少なくとも結晶化半導体膜 5 a の厚さ程度の距離ほど金属元素が移動すればよい。比較的短時間でゲッタリングを完遂することができる。ここでは、結晶化半導体膜 5 a に金属元素がほとんど残

留しないように、即ち膜中のニッケル濃度が $1 \sim 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \sim 10^{17} / \text{cm}^3$ 以下になるように、十分ゲッタリングする。

【0042】

本明細書においてゲッタリングとは、被ゲッタリング領域（ここでは結晶化半導体膜 5 a）にある金属元素が熱エネルギーにより放出され、拡散によりゲッタリングサイトに移動することを指している。従って、ゲッタリングは処理温度に依存し、より高温であるほど短時間でゲッタリングが進むことになる。このゲッタリングの熱処理条件によっては、ゲッタリングと同時に結晶化半導体膜 5 a の結晶化率を高め、結晶粒内に残される欠陥を補修すること、即ち結晶性の改善を行うことができる。

【0043】

このゲッタリングの熱処理として強光を照射する処理を行う場合は、加熱用のランプ光源を 1 ～ 60 秒、好ましくは 30 ～ 60 秒点灯させ、それを 1 ～ 10 回、好ましくは 2 ～ 6 回繰り返す。ランプ光源の発光強度は任意なものとするが、瞬間的には 600 ～ 1000 °C、好ましくは 700 ～ 750 °C 程度に半導体膜が加熱されるようにする。

【0044】

また、ゲッタリングの熱処理を加熱処理で行う場合は、窒素雰囲気中で 450 ～ 800 °C、1 ～ 24 時間、例えば 550 °C にて 14 時間の熱処理を行えばよい。また、この熱処理に加えて強光を照射してもよい。

なおこの熱処理によってゲッタリング層 7 の表層が酸化され、酸化膜 7 a が形成される。

【0045】

次いで図 2（C）に示すように、酸化膜 7 a をエッチングにより除去する。次いでバリア層 6 をエッチングストッパーとしてエッチングを行い、ゲッタリング層 7 のみを選択的に除去する。このとき結晶化半導体膜 5 a の表層のうち半導体と金属の合金（例えば NiSi）5 b が形成されていた部分もエッチングされ、ピンホール 8 が形成される。この理由は、図 16 および図 17 を参照して説明したとおりである。

【0046】

なおゲッタリング層 7 のみを選択的にエッチングする方法としては、 ClF_3 によるプラズマを用いたドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキシド（化学式 $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングがある。

【0047】

次いで図 2（D）に示すように酸化膜からなるバリア層 6 を、例えばフッ酸を含むエッチャントにより除去する。

【0048】

次いで図 2（E）に示すように、結晶化半導体膜 5 a に対して第 2 のレーザー光を大気雰囲気中、窒素雰囲気または真空中で照射する。第 2 のレーザー光のエネルギー密度は、図 1（D）に示す工程で用いた第 1 のレーザー光より低くする。第 1 のレーザー光と第 2 のレーザー光のエネルギー密度差は例えば $30 \text{ mJ} / \text{cm}^2$ 以上 $80 \text{ mJ} / \text{cm}^2$ 以下にするのが好ましいが、この好ましいエネルギー密度差は結晶化半導体膜 5 a の厚さ等によって異なる。このレーザー光（第 2 のレーザー光）には波長 400 nm 以下のエキシマレーザー光や、YAG レーザーの第 2 高調波、第 3 高調波を用いる。また、エキシマレーザー光に代えて紫外光ランプから発する光を用いてもよい。

第 2 のレーザー光を結晶化半導体膜 5 a に照射することにより、結晶化半導体膜 5 a の表層において、ピンホール 8 の周囲からピンホール 8 に半導体元素が移動し、ピンホール 8 が埋められる。

【0049】

図 3 の各写真は結晶化半導体膜 5 a の表面を拡大した SEM 写真（倍率 5000 倍）である。図 3（A）は第 2 のレーザー光を照射する前の結晶化半導体膜 5 a 表面の SEM 写真であり、図 3（B）～（E）それぞれはエネルギー密度が $369.5 \text{ mJ} / \text{cm}^2$ 、 351

10

20

30

40

50

、 7 mJ/cm^2 、 328.3 mJ/cm^2 、 309.0 mJ/cm^2 の第2のレーザー光を照射した後の結晶化半導体膜5a表面のSEM写真である。また表1に、それぞれの条件で処理した後の結晶性シリコン膜表面に存在するピンホールの単位面積あたりの数を示す。ピンホールの数は、SEMを用いて一画面に含まれるピンホールを数えることにより測定した。なおここでの単位面積は、上記した倍率において一画面で表示される領域（例えば $3021 \mu\text{m}^2$ ）である。また第1のレーザー光のエネルギー密度は 389 mJ/cm^2 である。

【0050】

【表1】

エネルギー密度(mJ/cm^2)	ピンホール密度 (個/ μm^2)	ピンホール数
第2のレーザー光照射なし	1.7E-03	5
369.5	3.3E-04	1
351.7	0	0
328.3	0	0
309	0	0

10

【0051】

図3(A)の写真に示すように、第2のレーザー光を照射しない場合、結晶性シリコン膜5aの表面には複数のピンホールが存在した。その数は表1に示すように単位面積あたり5個（ピンホール密度は $1.7 \text{ E-}3 \text{ 個}/\mu\text{m}^2$ ）であった。これに対し、図3(B)～(E)の各写真に示すように、第2のレーザー光を照射するとピンホールの数が少なくなった。また表1に示すように第2のレーザー光のエネルギー密度が 369.5 mJ/cm^2 の場合、ピンホールの数は単位面積あたり1個（ピンホール密度は $3.3 \text{ E-}4 \text{ 個}/\mu\text{m}^2$ ）と非照射の場合と比べて $1/5$ になった。また第2のレーザー光のエネルギー密度が 351.7 mJ/cm^2 以下になると、ピンホールはほとんど存在しなくなった。

20

【0052】

図3に示した各写真及び表1から明らかなように、第2のレーザー光を照射することにより結晶化半導体膜5aの表面からピンホールを除去することができる。ピンホールがなくなるメリットは非常に大きい。例えば結晶化半導体膜5a上に形成する膜のカバレッジ（例えばTFTのゲート絶縁膜）がよくなる。これにより、結晶化半導体膜5aでTFTのソース及びドレインを形成した場合、ゲート・リーク電流が少なくなる。またゲート絶縁膜の耐圧不良が少なくなる。このようにTFTの信頼性を向上させることができる。

30

【0053】

また、ゲッタリング層7を形成する際に結晶化半導体膜5aに希ガス元素が添加されてしまっていた場合、第2のレーザー光を照射することによって結晶化半導体膜5a中の希ガス元素を除去または低減することもできる。

40

【0054】

（第2の実施形態）

次に図4を参照しつつ第2の実施形態を説明する。本実施形態において第1の実施形態と同一の構成については同一の符号を付し、説明を省略する。

まず図4(A)に示すように、基板1の上に下地絶縁膜2を形成し、さらにその上に非晶質半導体膜（図示せず）を形成する。次いで非晶質半導体膜の表面に金属含有層（図示せず）を形成し、加熱処理することにより非晶質半導体膜を結晶化して結晶化半導体膜5aを形成する。これらの工程は第1の実施形態の図1(A)～図1(C)に示した工程と略同一である。

【0055】

50

ここで熱処理は酸素が含まれる雰囲気中（例えば大気中）で行われるため、結晶化半導体膜 5 a の表層には酸化膜 5 c が形成される。

このため図 4 (B) に示すように、例えばフッ酸を含むエッチャントを用いてエッチングを行うことにより、酸化膜 5 c を除去する必要がある。このとき結晶化半導体膜 5 a の表面にはピンホールが形成される場合がある。

【0056】

次いで結晶化半導体膜 5 a の表面に第 1 のレーザー光を照射して結晶化半導体膜 5 a の結晶化率を向上させた後、第 2 のレーザー光を結晶化半導体膜 5 a に照射することにより、ピンホールを埋める。ここで第 1 のレーザー光及び第 2 のレーザー光の照射条件は、第 1 の実施形態における第 2 のレーザー光の照射条件と略同一である。ただし第 2 のレーザー光のエネルギー密度は第 1 の実施形態と異なってもよい。

【0057】

次いで図 4 (C) に示すようにバリア層 6 及びゲッタリング層 7 を形成し、加熱処理をおこなうことにより結晶化半導体膜 5 a に含まれる金属元素のゲッタリングを行う。これらの処理の詳細は、第 1 の実施形態において図 1 (E) ～図 2 (B) に示した処理と略同一である。なお加熱処理によりゲッタリング層 7 の表面には酸化膜 7 a が形成される。

【0058】

次いで図 4 (D) に示すように酸化膜 7 a 、ゲッタリング層 7 及びバリア層 6 a を除去する。次いで結晶化半導体膜 5 a に第 3 のレーザー光（第 1 の実施形態における第 2 のレーザー光に相当）を照射することにより、結晶化半導体膜 5 a に形成されたピンホールを埋める。これらの処理は第 1 の実施形態において図 2 (C) ～(E) に示した処理と略同一である。

【0059】

この第 2 の実施形態によれば、第 1 の実施形態と同一の効果を得ることができる。また結晶化半導体膜 5 a から酸化膜 5 c を除去する際にピンホールが形成されたとしても、第 1 のレーザー光を照射した後に続いて第 2 のレーザー光を照射するため、ピンホールは埋められる。このため結晶化半導体膜 5 a 上に形成する膜のカバレッジ（例えば T F T のゲート絶縁膜）がよくなる。結晶化半導体膜 5 a で T F T のソース及びドレインを形成した場合、ゲート・リーク電流が少なくなる。またゲート絶縁膜の耐圧不良が少なくなる。このように T F T の信頼性を向上させることができる。

【0060】

（実験）

第 2 のレーザー光を照射することによりピンホールが埋められることを示すために、本発明者らは以下に示す実験を行って試料を作製した。

【0061】

まず、ガラス基板の上方に下地絶縁膜を形成し、その上にプラズマ C V D 法により非晶質シリコン膜を形成した試料を用意した。次いで、ニッケルを重量換算で 10 p p m 含む溶液を塗布した後、500℃、1時間の熱処理を行い、さらに550℃、4時間の熱処理を行って結晶化させて結晶性シリコン膜を形成した。次いで、結晶性シリコン膜を1%フッ酸液で3分間処理した。この処理時間は結晶性シリコン膜から表面酸化膜を除去するために必要な時間と比べて長い。このため表面酸化膜が除去されるとともに、結晶性シリコン膜の表面にピンホールが形成される。

【0062】

次いで大気雰囲気中で第 1 のレーザー光（エキシマレーザー）を結晶性シリコン膜に照射した。ここでの第 1 のレーザー光のエネルギー密度は $419.2 \text{ mJ} / \text{cm}^2$ とした。次いで第 2 のレーザー光（エキシマレーザー）を大気雰囲気中で結晶性シリコン膜に 30 Hz で照射した。なお第 2 のレーザー光のエネルギー密度を変えることにより複数の試料を作製した。また比較として第 2 のレーザー光を照射しない試料も作製した。

次いで作製した試料表面の S E M 写真を倍率 5000 倍で撮像した。また単位面積に含まれるピンホールの数を数えた。単位面積の定義及びピンホールの数え方は第 1 の実施形態と

同じである。

【0063】

表2にピンホールの数と第2のレーザー光のエネルギー密度との関係を示す。また図5は表2のデータをグラフにしたものである。

【0064】

【表2】

エネルギー密度(mJ/cm ²)	ピンホール密度(個/μm ²)	ピンホール数
第2のレーザー光照射なし	2.3E-03	7
408.1	6.6E-04	2
399.4	0	0
389.8	3.3E-04	1
379.3	6.6E-04	2
370.3	0	0
361.7	0	0
348.9	0	0
338.7	3.3E-04	1

【0065】

表2及び図5のグラフから明らかなように、第2のレーザー光を照射しない状態においては結晶性シリコン膜の表面にはピンホールは単位面積あたり7個（ピンホール密度は2.3E-3個/μm²）と数多く存在していた。これに対し、第2のレーザー光を照射するとピンホールはほとんど存在しないか、存在していても単位面積あたり2個（ピンホール密度は6.6E-4個/μm²）と非常に少なくなった。この実験からも、第2のレーザー光を結晶性シリコン膜に照射することにより結晶性シリコン膜の表面からピンホールが除去されることがわかる。

【0066】

各試料のSEM写真を図6に示す。第2のレーザー光を照射しない場合（図6（I））、試料の表面にはピンホールが存在している。第2のレーザー光のエネルギー密度が408.1mJ/cm²（図6（A））、389.8mJ/cm²（図6（C））、379.3mJ/cm²（図6（D））、及び338.7mJ/cm²（図6（H））それぞれの場合においてもピンホールが存在している。ただしこれらの試料を、撮像した領域より広い範囲で見た場合では、ピンホールの数は少なくなっていた。そして第2のレーザー光のエネルギー密度が399.4mJ/cm²（図6（B））、370.3mJ/cm²（図6（E））、361.7mJ/cm²（図6（F））、及び348.9mJ/cm²（図6（G））それぞれの場合では試料の表面にピンホールがほぼ存在しない。

【0067】

（第3の実施形態）

次に図7を参照しつつ第3の実施形態を説明する。本実施形態は、第1又は第2の実施形態により形成された結晶化半導体膜5aを用いてTFTを形成する方法である。以下、第1の実施形態と同一の構成については同一の符号を付し、説明を省略する。

【0068】

まず図7（A）に示すように基板1の上に下地絶縁膜2を形成し、さらにその上に結晶化半導体膜5aを形成する。ここで結晶化半導体膜5aは、第1の実施形態において図1（D）～図2（E）に示した処理が加えられているため、金属元素が存在しないか、金属元素の量が低減されている。また結晶化半導体膜5aの表面にはピンホールが存在しない

【0069】

次いで図7(B)に示すように、結晶化半導体膜5aの上にフォトリソ膜(図示せず)を塗布し、このフォトリソ膜を露光及び現像することによりレジストパターンを形成する。次いでこのレジストパターンをマスクとして結晶化半導体膜5aをエッチングすることにより、所望の形状の結晶化半導体層10を形成する。このとき、フォトリソ膜を塗布する前に、オゾン水で結晶化半導体膜5aの表面を処理することで、結晶化半導体膜5a表面に薄い酸化膜を形成することが望ましい。

【0070】

次いで図7(C)に示すように、結晶化半導体層10の表面をフッ酸含有エッチャントで洗浄した後、結晶化半導体層10上にゲート絶縁膜12を形成する。ゲート絶縁膜12は珪素を主成分とする絶縁膜で形成される。これら表面洗浄工程とゲート絶縁膜12の形成工程は、大気にふれさせずに連続的に行うことが望ましい。

【0071】

次いで、ゲート絶縁膜12の表面を洗浄した後、ゲート絶縁膜12上を含む全面にAl、Cu、Wなどを主成分とする金属膜を形成する。次いでこの金属膜上にフォトリソ膜(図示せず)を塗布し、このフォトリソ膜を露光及び現像することによりレジストパターンを形成する。次いでこのレジストパターンをマスクとして金属膜をエッチングすることにより、ゲート絶縁膜12上にゲート電極13を形成する。次いで、ゲート電極13をマスクとして結晶化半導体膜5aにn型不純物イオン(P、As等のイオン、ここではPイオン)を導入して、ソース領域14及びドレイン領域15を形成する。そしてn型不純物を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。このとき活性化と同時にゲート絶縁膜12と結晶化半導体層10との界面、及びゲート絶縁膜12それぞれへのプラズマダメージを回復することができる。特に、室温〜300℃の雰囲気中において、表面または裏面からYAGレーザーの第2高調波を照射して不純物元素を活性化させることは非常に有効である。YAGレーザーはメンテナンスが簡単であるため好ましい活性化手段である。

【0072】

次いでゲート絶縁膜12及びゲート電極13を含む全面に層間絶縁膜16を形成し、水素化を行う。次いで層間絶縁膜16の上にレジストパターンを形成し、このレジストパターンをマスクとして層間絶縁膜16をエッチングすることにより、ソース領域14上及びドレイン領域15上それぞれに位置するコンタクトホールを形成する。次いで層間絶縁膜16上及びコンタクトホール中に導電膜(例えばAl合金配線)を形成し、この導電膜をパターニングすることにより、ソース電極17、ドレイン電極18を形成する。以上の工程によりTFET(nチャネル型TFET)が形成される。

【0073】

このようにTFETを形成した場合、チャネル形成領域19に含まれる金属元素の濃度を $1 \times 10^{17} / \text{cm}^3$ 未満とすることができる。またTFETの半導体表面におけるピンホールの数は飛躍的に低減しているため、TFETの特性を向上させることができる。

【0074】

なお本発明は図7(C)に示したTFET構造に限定されず、他の構造を有するTFETに適用することも可能である。例えばチャネル形成領域とドレイン領域(またはソース領域)との間にLDD領域を有する低濃度ドレイン(LDD: Lightly Doped Drain)構造としてもよい。この構造はソース領域とチャネル領域の間、及びドレイン領域とチャネル形成領域の間それぞれに低濃度に不純物元素を添加した領域(以下LDD領域と記載)を設けたものである。またゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD(Gate-drain Overlapped LDD)構造としてもよい。

【0075】

また本実施形態ではnチャネル型TFETを用いて説明したが、n型不純物元素に代えてp型不純物元素を用いることによってpチャネル型TFETを形成することができることは

言うまでもない。

また本実施形態ではトップゲート型TFETを例として説明したが、例えば順スタガ型TFETに適用することが可能である。

【0076】

また、結晶化半導体膜5aをパターニングする前に第2のレーザー光の照射を行わず、パターニングにより所望の形状の結晶化半導体層10を形成し、さらにパターニングの際に形成された酸化膜を除去した後に、大気雰囲気中、不活性気体雰囲気または真空中で第2のレーザー光の照射を行い結晶化半導体層10の表面のピンホールを埋めてもよい。

【0077】

(第4の実施形態)

次に図8を参照しつつ第3の実施形態を説明する。本実施形態は、逆スタガ型(ボトムゲート型)TFETを作製する方法である。以下第1の実施形態と同一の構成については同一の符号を付し、説明を省略する。

まず図8(A)に示すように基板1上にAl、Cu、Wなどを主成分とする金属膜を形成する。次いでこの金属膜上にフォトリソ膜(図示せず)を塗布し、このフォトリソ膜を露光及び現像することによりレジストパターンを形成する。次いでこのレジストパターンをマスクとして金属膜をエッチングすることにより、基板1上にゲート電極21を形成する。

【0078】

次いでゲート電極21上を含む全面上にゲート絶縁膜22を形成する。ゲート絶縁膜22は珪素を主成分とする絶縁膜で形成される。

次いでゲート絶縁膜22上に非晶質半導体膜を形成する。次いで非晶質半導体膜を結晶化させて結晶化半導体膜5aを形成し、更に第1のレーザー光を照射することにより結晶化半導体膜5aの結晶化率を上げる。なお非晶質半導体膜の結晶化方法は第1の実施形態と略同一である。

【0079】

次いで図8(B)に示すようにバリア層6を形成し、さらにその上にゲッタリング層7を形成し、加熱処理を行うことにより結晶化半導体膜5aに含まれる金属元素のゲッタリングを行う。これらの処理の詳細は、第1の実施形態において図1(E)～図2(B)に示した処理と略同一である。なお加熱処理によりゲッタリング層7の表面には酸化膜7aが形成される。

【0080】

次いで図8(C)に示すように酸化膜7a、ゲッタリング層7及びバリア層6aを除去する。次いで結晶化半導体膜5aに第2のレーザー光を照射することにより、結晶化半導体膜5aに形成されたピンホールを埋める。これらの処理は第1の実施形態において図2(C)～図2(E)に示した処理と略同一である。

【0081】

次いで図8(D)に示すように結晶化半導体膜5aの上にフォトリソ膜(図示せず)を塗布し、このフォトリソ膜を露光及び現像することによりレジストパターンを形成する。次いでこのレジストパターンをマスクとして結晶化半導体膜5aをエッチングすることにより、所望の形状の結晶化半導体層24を形成する。

次いで結晶化半導体層24の上にフォトリソ膜を塗布し、このフォトリソ膜を露光及び現像することによりレジストパターン23を形成する。次いでレジストパターン23をマスクとして結晶化半導体層24にn型不純物イオン(P、As等のイオン、ここではPイオン)を導入して、ソース領域24a及びドレイン領域24bを形成する。そしてn型不純物を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。

【0082】

次いで図8(E)に示すように、結晶化半導体層24を含む全面上に層間絶縁膜25を形成する。次いで層間絶縁膜25の上にレジストパターンを形成し、このレジストパター

10

20

30

40

50

ンをマスクとして層間絶縁膜 25 をエッチングすることにより、ソース領域 24a 上及びドレイン領域 24b 上それぞれに位置するコンタクトホール 25a, 25b を形成する。次いで層間絶縁膜 25 上及びコンタクトホール中に導電膜（例えば Al 合金膜）を形成し、この導電膜をパターニングすることにより、ソース電極 26a、ドレイン電極 26b を形成する。以上の工程により逆スタガ型 TFT（n チャネル型 TFT）が形成される。

【0083】

本実施形態においても第 3 の実施形態と同一の効果を達成することができる。

【0084】

（実施例）

〔実施例 1〕本発明の実施例 1 を、図 9～図 11 を参照しつつ説明する。本実施例は、同一基板の上方に画素部と、画素部の周辺に設ける駆動回路の TFT（n チャネル型 TFT 及び p チャネル型 TFT）を同時に作製する方法である。

【0085】

まず図 9（A）に示すように、上記第 2 の実施の形態で示した方法で、ガラス基板 100 上に下地絶縁膜 101 及び島状に分離されたポリシリコン層 102～106 をこの順に形成する。なお、ポリシリコン層 102～106 は第 2 の実施形態における結晶化半導体層 10 と同一であるため、これらを形成するまでの工程に関しては、上記第 2 の実施形態で示してあるので簡略して以下に説明する。

【0086】

まずガラス基板 100 上に下地絶縁膜 101 を形成する。本実施例では下地絶縁膜 101 として 2 層構造を用いるが、絶縁膜の単層膜または 3 層以上積層させた構造を用いても良い。下地絶縁膜 101 は例えば以下のように形成される。まず下地絶縁膜 101 の 1 層目として、 SiH_4 、 NH_3 、及び N_2O を反応ガスとしたプラズマ CVD 法により第 1 酸化窒化シリコン膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ）を膜厚 50 nm に形成する。次いで、下地絶縁膜 101 の 2 層目として、 SiH_4 および N_2O を反応ガスとしたプラズマ CVD 法により第 2 酸化窒化シリコン膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ）を膜厚 100 nm に形成する。

【0087】

次いで下地絶縁膜 101 上に非晶質半導体膜の一例である非晶質シリコン膜を、プラズマ CVD 法により 50 nm の膜厚に形成する。次いで、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布する。塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。

【0088】

次いで加熱処理により非晶質シリコン膜を結晶化させ、結晶化半導体膜の一例であるポリシリコン膜を形成する。この加熱処理は、電気炉による熱処理または強光の照射を用いればよい。電気炉による熱処理は、例えば 500℃～650℃で 4～24 時間ほど行えばよい。ここでは脱水素化のための熱処理（500℃、1 時間）の後、結晶化のための熱処理（550℃、4 時間）を行ってポリシリコン膜を得る。なお、電気炉の代わりにランプアニール装置を用いて熱処理を行ってもよい。

【0089】

次いでポリシリコン膜の結晶化率を高め、結晶粒内に残される欠陥を補修するため、第 1 のレーザー光（XeCl：波長 308 nm）を大気中、または酸素雰囲気中で照射する。第 1 のレーザー光には波長 400 nm 以下のエキシマレーザー光、もしくは YAG レーザの第 2 高調波、第 3 高調波を用いる。いずれにしても、繰り返し周波数 10～1000 Hz 程度のパルスレーザー光を光学系にて 100～500 mJ/cm² に集光し、90～95% のオーバーラップ率をもってシリコン膜表面を走査させつつ照射すればよい。ここでは、繰り返し周波数 30 Hz、エネルギー密度 410 mJ/cm² で第 1 のレーザー光の照射を大気中で行う。なお第 1 のレーザー光の照射は、シリコン膜中の希ガス元素（ここではアルゴン）を除去または低減する上で非常に重要である。次いで、オゾン水で表面を 120 秒処理して合計 1～5 nm の酸化膜を形成することにより、この酸化膜および第 1 のレーザー光の

照射により形成された酸化膜から構成されるバリア層（図示せず）を形成する。

【0090】

次いで、バリア層上にスパッタリング法にてゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を膜厚150nmに形成する。ここでの成膜条件は、例えばチャンパー内の圧力が0.3Pa、ガス（Ar）流量が50（sccm）、成膜パワーが3kW、基板温度が150℃である。なお、上記条件での非晶質シリコン膜に含まれるアルゴン元素の原子濃度は $3 \times 10^{20} / \text{cm}^3 \sim 5 \times 10^{20} / \text{cm}^3$ 、酸素の原子濃度は $1 \times 10^{19} / \text{cm}^3 \sim 3 \times 10^{19} / \text{cm}^3$ である。その後、ランプアニール装置を用いて650℃、3分の熱処理を行うことにより、ポリシリコン膜中の金属原子を非晶質シリコン膜にゲッタリングする。

10

次いで、バリア層をエッチングストッパーとしたエッチングにより、ゲッタリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去した後、バリア層をフッ酸で選択的に除去する。

【0091】

次いで、第2のレーザー光の照射を大気雰囲気中、窒素雰囲気中又は真空中で行い、ポリシリコン膜表面に形成されたピンホールを埋める。この第2のレーザー光には波長400nm以下のエキシマレーザー光、又はYAGレーザーの第2高調波、第3高調波を用いる。なお第2のレーザー光に代えて紫外光ランプから発する光を用いてもよい。このとき第2のレーザー光のエネルギー密度を、第1のレーザー光のエネルギー密度より小さくし、好ましくは $30 \sim 80 \text{ mJ} / \text{cm}^2$ 小さくする。ここではエネルギー密度 $360 \text{ mJ} / \text{cm}^2$ で第2のレーザー光の照射を行なう。

20

【0092】

なお本実施例では第2のレーザー光の照射を全面に行ったが、必要な領域のみに選択的に第2のレーザー光を照射してもよい。

【0093】

次いで、得られたポリシリコン膜の表面をオゾン水で処理することによりポリシリコン膜表面に薄い酸化膜を形成する。次いでレジストからなるマスクを形成し、このマスクを用いて所望の形状にエッチング処理することにより島状に分離されたポリシリコン層102～106を形成する。これらポリシリコン層を形成した後にマスクを除去する。

30

【0094】

なおポリシリコン層102～106を形成した後、TFTのしきい値（ V_{th} ）を制御するためにp型不純物元素あるいはn型不純物元素を添加してもよい。p型不純物元素は、例えばボロン（B）、アルミニウム（Al）、ガリウム（Ga）など周期律第13族元素であり、n型不純物元素は、例えばリン（P）または砒素（As）など周期律15族元素である。

【0095】

次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時にポリシリコン層102～106の表面を洗浄した後、ゲート絶縁膜107を形成する。本実施例では、プラズマCVD法により形成された厚さ115nmの酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）を、ゲート絶縁膜107として用いる。

40

【0096】

次いで、ゲート絶縁膜107上に膜厚20～100nmの第1の導電膜108aと、膜厚100～400nmの第2の導電膜108bと、膜厚20～100nmの第3の導電膜108cをこの順に積層し、ゲート電極となる導電層を形成する。本実施例では、第1の導電膜108aとしてゲート絶縁膜107上に膜厚50nmのタングステン膜を、第2の導電膜108bとして膜厚500nmのアルミニウムとチタンの合金（Al-Ti）膜を、第3の導電膜108cとして膜厚30nmのチタン膜を、それぞれ用いる。

【0097】

なお上記した材料以外にも、第1～第3の導電膜108a～108cを形成する導電性材料としては、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を

50

主成分とする合金材料もしくは化合物材料を用いることができる。例えば、第1の導電膜108aではタングステンに代えて窒化タングステンを用いてもよい。第2の導電膜108bでは、アルミニウムとチタンの合金(A1-Ti)膜に代えてアルミニウムとシリコンの合金(A1-Si)膜を用いてもよい。第3の導電膜108cではチタン膜に代えて窒化チタン膜を用いてもよい。

また、ゲート電極となる導電層は3層構造に限定されず、例えば、窒化タンタル膜とタングステン膜との2層構造であってもよい。また、ゲート電極となる導電層としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される単層の半導体膜を用いてもよい。

【0098】

次に、図9(B)に示すように、第3の導電膜108cの上にフォトレジスト膜を塗布し、このフォトレジスト膜を露光および現像することにより、レジスト膜からなるマスク110~115を形成する。次いでマスク110~115を用いて、ゲート電極及び配線を形成するための第1のエッチング処理をドライエッチングで行う。

この第1のエッチング処理では、エッチング用のプラズマとしてICP(Inductively Coupled Plasma:誘導結合型プラズマ)が好適である。この場合、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパ形状に膜をエッチングすることができる。

【0099】

なお第1のエッチング処理では、例えば第1のエッチングを行った後、続いて第2のエッチングが行われる。

【0100】

第1のエッチングでは、エッチング用ガスとして、 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などを代表とする塩素系ガスまたは CF_4 、 SF_6 、 NF_3 などを代表とするフッ素系ガス、または O_2 を適宜用いる。用いるエッチング用ガスに限定はないが、ここでは BCl_3 と Cl_2 と O_2 とを用いることが適している。それぞれのガス流量は例えば65/10/5(sccm)である。そして1.2Paの圧力でコイル型の電極に450WのRF(13.56MHz)電力を投入してプラズマを生成して117秒ほどエッチングを行う。このとき基板側(試料ステージ)にも300WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチングにより第2の導電膜108b及び第3の導電膜108cをエッチングし、また第1の導電膜108aの端部をテーパ形状とする。

【0101】

また第2のエッチングでは、エッチング用ガスに CF_4 と Cl_2 と O_2 が用いられる。これらのガス流量はそれぞれ25/25/10(sccm)である。そして1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成し、約30秒ほどエッチング処理を行う。このとき基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第2のエッチング条件では、第1~第3の導電膜108a~108cそれぞれが同程度にエッチングされる。なお、ゲート絶縁膜107上に残渣を残すことなくエッチングするためには、10~20%程度ほどエッチング時間を増加させるとよい。

【0102】

この第1のエッチング処理により、ゲート絶縁膜107上には第1~第3の導電層から成る第1の形状の導電層117~122(詳細には第1の導電層117a~122a、第2の導電層117b~122bおよび第3の導電層117c~122c)が形成される。またゲート絶縁膜107のうち第1の形状の導電層117~122で覆われない領域は20~50nm程度エッチングされ薄くなる。

なお上記した第1のエッチング処理では、レジストからなるマスクの形状を適切な形状にし、かつ基板側に適切なバイアス電圧を印加することで、第1の形状の導電層117~122の端部を適切なテーパ形状にすることができる。例えば上記した条件ではテーパ

10

20

30

40

50

一部の角度は15～45 となる。

【0103】

次いで図9 (C) に示すように、マスク110～115をそのまま用いて第2のエッチング処理を行う。第2のエッチング処理において、エッチング用ガスにはBCl₃とCl₂が用いられる。それぞれのガス流量は20/60 (sccm) である。そして1.2 Paの圧力でコイル型の電極に600 WのRF (13.56 MHz) 電力を投入してプラズマを生成し、エッチングを行う。このとき基板側 (試料ステージ) には100 WのRF (13.56 MHz) 電力を投入する。この第2のエッチング処理により、チタンを微量に含むアルミニウムからなる第2の導電層117b～122b、及びチタンからなる第3の導電層117c～122cそれぞれが異方性エッチングされ、第2の形状の導電層124～129 (詳細には第1の導電層124a～129a、第2の導電層124b～129b及び第3の導電層124c～129c) が形成される。このときゲート絶縁膜107のうち、第2の形状の導電層124～129で覆われない領域は若干エッチングされ、薄くなる。

【0104】

なお図9 (B) および図9 (C) では、第1の導電層のテーパー部の長さを、すべての第1の導電層において同一の長さとして図示しているが、実際は、配線幅への依存性がある。このため配線幅によって第1の導電層124a～129aそれぞれのテーパー部の長さが変化する。

【0105】

そして、マスク110～115をそのまま残して第1のドーピング処理を行い、ポリシリコン層102～106にn型を付与する不純物元素を添加する。ドーピング処理は例えばプラズマドーピング法やイオン注入法で行えば良い。イオン注入条件で行う場合、注入条件は、例えばドーズ量を1.5 10¹⁴ atoms/cm²とし、加速電圧を60～100 keVとする。n型を付与する不純物元素としては、例えばリン (P) または砒素 (As) を用いる。この第1のドーピング処理では第2の形状の導電層124～128もマスクとなるため、ポリシリコン層102～106に、それぞれ第1の不純物領域130～134が2つずつ自己整合的に形成される。第1の不純物領域130～134には1 10¹⁶～1 10¹⁷/cm³の濃度範囲でn型を付与する不純物元素が添加される。

なお、本実施例ではマスク110～115を除去せずに第1のドーピング処理を行ったが、マスク110～115を除去した後に第1のドーピング処理を行ってもよい。

【0106】

次いでマスク110～115を除去した後、図10 (A) に示すように全面上にフォトリジスト膜を塗布し、このフォトリジスト膜を露光および現像することによりマスク135、136を形成する。マスク135は駆動回路のpチャネル型TFTの一つを構成するポリシリコン層103のうちチャネル形成領域及びその周辺の領域を保護するマスクであり、マスク136は画素部のTFTを形成するポリシリコン層105のうちチャネル形成領域及びその周辺の領域を保護するマスクである。

【0107】

次いでマスク135、136を用いて第2のドーピング処理を行い、マスクによって覆われていないポリシリコン層102、104、106それぞれに不純物領域を形成する。ドーピング処理は例えばプラズマドーピング法やイオン注入法で行えば良い。イオン注入条件で行う場合、注入条件は、加速電圧を60～100 kVとする。

【0108】

このときポリシリコン層102、104、106それぞれにおいて、第2の形状の導電層124～128が上方に存在する領域と存在しない領域とでは、上層の膜厚に差があるためドーズ量が異なる。このためポリシリコン層102、104、106には、それぞれ第2の形状の導電層124～128の下方に位置する低濃度の第2の不純物領域180、181、182が2つずつ形成されると同時に、第2の不純物領域の外側に隣接する第3の不純物領域137、139、141が形成される。またポリシリコン層103、105のうちマスク135、136で覆われていない部分にも不純物が導入され、第3の不純物

領域 138, 140 が 2 つずつ形成される。具体的には、第 3 の不純物領域 137 ~ 141 には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲で n 型不純物元素が添加されている。また、第 2 の不純物領域 180 ~ 182 には $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度範囲で n 型不純物元素を添加されている。

【0109】

なお図 10 (A) では、便宜上、第 1 の導電層 124a ~ 129a のテーパ部の長さを、すべて同一としているが、実際は、配線幅によって第 1 の導電層 124a ~ 129a は、それぞれテーパ部の長さが異なる場合がある。この場合、第 2 の不純物領域 180, 181, 182 の幅も互いに異なり、また第 3 の不純物領域 137, 139, 141 の幅も互いに異なる。

【0110】

次いで図 10 (B) に示すようにマスク 135, 136 を除去した後、新たにフォトリソ膜を塗布し、このフォトリソ膜を露光及び現像することによりマスク 142 ~ 144 を形成する。マスク 142, 143, 144 はそれぞれポリシリコン層 102, 104, 105 の上方に形成される。また p チャネル型 TFT が形成されるポリシリコン層 103, 106 の上方にはマスクが形成されていない。

【0111】

次いでマスク 142 ~ 144 を用いて第 3 のドーピング処理を、例えばプラズマドーピング法やイオン注入法を用いて行う。この第 3 のドーピング処理により、p チャネル型 TFT を形成するポリシリコン層 103, 106 のうち第 2 の形状の導電層 125, 128 に覆われていない部分に、p 型不純物元素が添加される。

【0112】

これによりポリシリコン層 103 には第 4 の不純物領域 147 及び第 5 の不純物領域 145, 146 が形成され、ポリシリコン層 106 には第 4 の不純物領域 150 及び第 5 の不純物領域 148, 149 が形成される。第 4 の不純物領域 147, 150 には $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲で p 型不純物元素が添加されている。また、第 5 の不純物領域 145, 146, 148, 149 には図 9 (C) 及び図 10 (A) で示した工程において n 型を付与するリン (P) が添加されているが、p 型不純物元素の濃度がその 1.5 ~ 3 倍添加されている (例えば $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$) ため、導電型は p 型となっている。なお第 5 の不純物領域のうち、領域 145, 148 はそれぞれ領域 146, 149 より n 型、p 型それぞれの不純物元素の濃度が低い。

なおポリシリコン層 106 は画素部において保持容量を形成する半導体層となる。

【0113】

以上までの工程で、ポリシリコン層 102 ~ 106 それぞれには n 型または p 型の導電型を有する不純物領域が形成される。また第 2 の形状の導電層 124 ~ 127 はゲート電極となり、第 2 の形状の導電層 128 は画素部において保持容量を形成する一方の電極となる。さらに、第 2 の形状の導電層 129 は画素部においてソース配線を形成する。

なお各第 2 の形状の導電層及び各不純物領域 (第 1 の不純物領域 ~ 第 5 の不純物領域) が形成できるのであれば特に作製工程は上記した順序に限定されず、各エッチングの順序、各ドーピングの順序を適宜変更してもよい。

【0114】

次いで図 10 (C) に示すようにマスク 142 ~ 144 を除去した後、ほぼ全面を覆う絶縁膜 (図示せず) を形成する。本実施例では、プラズマ CVD 法により膜厚 50 nm の酸化シリコン膜を形成した。勿論、この絶縁膜は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0115】

次いで、それぞれのポリシリコン層 102 ~ 106 に添加された不純物元素を活性化する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法 (RTA 法)、或いは YAG レーザーまたはエキシマレーザーを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法を複数組み合わせる方法による処理である。た

10

20

30

40

50

だし、本実施例では、第2の形状の導電層124～129を構成する第2の導電層124a～129a（図9C参照）にアルミニウムを主成分とする材料を用いているので、活性化工程を、第2の導電層124a～129aが熱的に耐え得る熱処理条件とすることが必要である。

【0116】

上記した活性化処理により、不純物元素が活性化すると同時に、ポリシリコン層102～106を結晶化する際に触媒として使用した金属元素が、高濃度のリンを含む第3の不純物領域137、139、140（図10（A）参照）、及び第5の不純物領域146、149（図10（B）参照）にゲッタリングされ、ポリシリコン層102～106のうち主にチャネル形成領域となる部分中のニッケル濃度が低減する。その結果、チャネル形成領域の結晶性がよくなり、TFTのオフ電流値は下がり、また結晶性が良いことから高い電界効果移動度が得られる。このように良好な特性を有するTFTを得ることができる。

10

なお、本実施例ではポリシリコン膜を形成する段階で上記第1の実施形態に示した方法により予めゲッタリングが行われているので、ここでの不純物領域によるゲッタリングは2度目のゲッタリングとなる。

【0117】

本実施例では、上記活性化処理の前に絶縁膜（図示せず）を形成した例を示したが、上記活性化を行った後、絶縁膜を形成する工程としてもよい。

【0118】

次いで、窒化シリコン膜からなる第1の層間絶縁膜151を形成する。次いで熱処理（300～550℃で1～12時間の熱処理）を行い、ポリシリコン層102～106を水素化する工程を行う。この工程は、第1の層間絶縁膜151に含まれる水素によりポリシリコン層102～106のダングリングボンドを終端する工程であり、酸化シリコン膜からなる絶縁膜（図示しない）の有無に関係なくポリシリコン層102～106を水素化することができる。ただし、本実施例では、第2の形状の導電層124～129を構成する第2の導電層124a～129a（図9C参照）にアルミニウムを主成分とする材料を用いているので、水素化する工程において第2の導電層124a～129aが熱的に耐え得る熱処理条件とすることが重要である。なお水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素により水素化する処理）を行っても良い。

20

【0119】

次いで図11に示すように、第1の層間絶縁膜151上に第2の層間絶縁膜152を形成する。第2の層間絶縁膜152は有機絶縁材料から構成されてもよいし無機絶縁材料から構成されてもよい。本実施例では、シロキサン材料を出発材料として形成された珪素、酸素、水素からなる無機シロキサン系の絶縁性材料、又はこの無機シロキサン系の絶縁性材料のうち珪素と結合する水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁性材料を用いる。なお膜厚1.6μmのアクリル樹脂膜であってもよい。

30

次いで、第2の層間絶縁膜152上にレジストパターンを形成し、このレジストパターンをマスクとして第2の層間絶縁膜152及び第1の層間絶縁膜151をエッチングすることにより、第2の形状の導電層129（すなわち画素部のソース配線）上に位置するコンタクトホール、及びポリシリコン層102～106に形成された第3の不純物領域137～141それぞれの上に位置するコンタクトホールを形成する。本実施例では複数のエッチング処理を順次行う。すなわち第1の層間絶縁膜をエッチングストッパーとして第2の層間絶縁膜をエッチングした後、上記した図示しない絶縁膜をエッチングストッパーとして第1の層間絶縁膜をエッチングし、その後図示しない絶縁膜をエッチングする。

40

【0120】

その後、第2の層間絶縁膜152の全面上及び各コンタクトホール内に金属膜（例えばAl、Ti、Mo、Wなど）を形成し、この金属膜をパターンニングすることにより、配線及び画素電極を形成する。なおこれらの電極及び画素電極の材料は、AlまたはAgを主成分とする膜もしくはこれらの積層膜といった、反射性の優れた膜を用いることが望まし

50

い。こうして、ソース配線またはドレイン配線 153～158、ゲート配線 160、接続配線 159、画素電極 161 が形成される。

【0121】

以上のようにして、 n チャネル型 TFT 201、203 及び p チャネル型 TFT 202 を有する駆動回路 206 と、 n チャネル型 TFT 204 及び保持容量 205 を有する画素部 207 を同一基板の上方に同一工程で形成することができる。以下、本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0122】

このようにして形成されたアクティブマトリクス基板の駆動回路 206 において、 n チャネル型 TFT 201 は、チャネル形成領域 162、ゲート電極を形成する第 2 の形状の導電層 124、第 2 の形状の導電層 124 の一部分の下に位置する第 2 の不純物領域 180、およびソース領域またはドレイン領域として機能する 2 つの第 3 の不純物領域 137 を有している。 p チャネル型 TFT 202 は、チャネル形成領域 165、ゲート電極を形成する第 2 の形状の導電層 125、第 2 の形状の導電層 125 の一部分の下に位置する第 4 の不純物領域 147、及びソース領域またはドレイン領域として機能する第 5 の不純物領域 146 を有している。 n チャネル型 TFT 203 はチャネル形成領域 168、ゲート電極を形成する第 2 の形状の導電層 126、第 2 の形状の導電層 126 の一部分の下に位置する第 2 の不純物領域 181、およびソース領域またはドレイン領域として機能する第 3 の不純物領域 139 を有している。このような n チャネル型 TFT 及び p チャネル型 TFT を適宜配線で接続することにより、シフトレジスタ回路、バッファ回路、レベルシフト回路、ラッチ回路などを形成することができる。ここで駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、 n チャネル型 TFT 201 または 203 を用いることが好ましい。

【0123】

また画素部 207 において、 n チャネル型 TFT 204 は、チャネル形成領域 171、ゲート電極を形成する第 2 の形状の導電層 127、第 2 の形状の導電層 127 の外側に形成されている第 1 の不純物領域 133、およびソース領域またはドレイン領域として機能する第 3 の不純物領域 140 を有している。また、保持容量 205 は誘電体となる絶縁膜（ゲート絶縁膜 107 と同一膜）、第 2 の形状の導電層 128 からなる電極、及びポリシリコン層 106 により形成されている。ポリシリコン層 106 には第 4 の不純物領域 150、第 5 の不純物領域 148 が形成されている。

ここで画素部 207 の n チャネル型 TFT 204 においては、各不純物領域が形成されているポリシリコン層 105 の表層に第 2 のレーザー光が照射されているため、画素の特性が向上している。

【0124】

〔実施例 2〕

実施例 1 にかかるアクティブマトリクス基板はゲート電極を 3 層構造としたが、実施例 2 では、アクティブマトリクス基板のゲート電極を 2 層構造とする。なお、本実施例は、ゲート電極の構造以外は実施例 1 と同一の構成である。このような構成の表示装置は、ゲート電極となる導電膜を形成する工程、及びこの導電膜をパターニングする工程を除いて実施例 1 と同じ工程で作製することができる。以下、これらの工程のみを説明する。

【0125】

まずゲート電極となる導電膜として、膜厚 30 nm の TaN 膜からなる第 1 の導電膜と、膜厚 370 nm の W 膜からなる第 2 の導電膜を積層形成する。TaN 膜は、Ta ターゲットを、窒素を含む雰囲気内でスパッタリングすることにより形成される。また、W 膜は、W ターゲットをスパッタリングすることにより形成される。なお W 膜に代えて、W と Mo からなる合金膜を用いてもよい。

【0126】

この 2 層構造からなる膜は、実施例 1 における 3 層構造からなる導電膜と同様に、上にレジストからなるマスクが形成された後に ICP エッチング法でエッチングされることに

よりパターニングされる。このときエッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節することによって所望のテーパ形状に膜をエッチングすることができる。なお、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 などを代表とする塩素系ガスまたは CF_4 、 SF_6 、 NF_3 などを代表とするフッ素系ガス、または O_2 を適宜用いることができる。

【0127】

具体的には、実施例1と同様に第1のエッチング処理及び第2のエッチング処理が、2層構造からなる膜に行われる。

【0128】

第1のエッチング処理としては実施例1と同様に第1及び第2のエッチングが行われる。第1のエッチングにおいて、エッチング用ガスには CF_4 と Cl_2 と O_2 が用いられる。それぞれのガス流量は例えば25/25/10 (sccm)である。このような条件のもと、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成し、このプラズマによりエッチングを行う。このとき基板側（試料ステージ）にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第1のエッチングにおいて、Wのエッチング速度は例えば200.39nm/minであり、Ta-Nのエッチング速度は例えば80.32nm/minである。またTa-Nに対するWの選択比は例えば約2.5である。この第1のエッチング条件によって、Wのテーパ角は、例えば約26°となる。

【0129】

続いてエッチング条件を代えて第2のエッチングを行う。第2のエッチングでは、エッチング用ガスに CF_4 と Cl_2 が用いられる。それぞれのガス流量は例えば30/30 (sccm)である。このような条件のもと、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成し、エッチングを約30秒ほど行う。このとき基板側（試料ステージ）にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第2のエッチングではW膜及びTa-N膜とも同程度にエッチングされる。上記した第2のエッチングにおいて、Wのエッチング速度は例えば58.97nm/minであり、Ta-Nのエッチング速度は66.43nm/minである。

【0130】

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとし、かつ基板側に適切なバイアス電圧を印加することで、第1の導電層及び第2の導電層の端部を適切なテーパ形状にすることができる。例えば上記した条件においてこのテーパ部の角度は15°～45°となる。

【0131】

続いて第2のエッチング処理を行う。ここでは、エッチング用ガスに SF_6 と Cl_2 と O_2 とを用いる。それぞれのガス流量は例えば24/12/24 (sccm)である。このような条件のもと、1.3Paの圧力でコイル型の電極に700WのRF (13.56MHz) 電力を投入してプラズマを生成し、このプラズマを用いてエッチングを例えば25秒行う。このとき基板側（試料ステージ）にも10WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。上記した第2のエッチング処理において、Wのエッチング速度は例えば227.3nm/minであり、Ta-Nのエッチング速度は例えば32.1nm/minであり、Ta-Nに対するWの選択比は例えば7.1である。またゲート絶縁膜である酸化窒化シリコン膜 (SiON) に対するエッチング速度は例えば33.7nm/minであり、酸化窒化シリコンに対するWの選択比は例えば6.83である。この第2のエッチング処理によりWのテーパ角は例えば70°となる。このようにしてゲート電極が形成される。

【0132】

以下、実施例1と同一の工程を行うことにより、アクティブマトリクス基板が形成される。

10

20

30

40

50

【0133】

上記した工程で形成されるアクティブマトリクス基板は、ゲート電極がW膜とTa₂N膜との積層で形成されているため、実施例1に比べてゲート電極の電気抵抗値が高いものの、ゲート電極の耐熱性が高い。このため活性化や水素化の処理条件にゲート電極の特性が左右されにくいという利点を有している。

【0134】

〔実施例3〕

本実施例は、実施例1または2で作製したアクティブマトリクス基板から、反射型のアクティブマトリクス型液晶表示装置を作製する方法である。

【0135】

まず、上記実施例1または2に示した工程により、例えば図11と同一のアクティブマトリクス基板を得る。次いでアクティブマトリクス基板上にアクリル樹脂膜等の有機樹脂膜を形成し、この有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成する。なお柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。次いでアクティブマトリクス基板上に配向膜を形成しラビング処理を行う。

【0136】

次いで、対向基板を用意する。対向基板には、アクティブマトリクス基板の画素TFTに対向する部分に、着色層及び遮光層からなるカラーフィルタが設けられており、アクティブマトリクス基板の駆動回路に対向する部分に、遮光層が設けられている。次いで用意した対向基板に、カラーフィルタ及び遮光層の双方を覆う平坦化膜を形成する。次いで平坦化膜上のうち画素TFTに対向する部分に、透明導電膜からなる対向電極を形成する。次いで対向基板の全面上に配向膜を形成し、ラビング処理を施す。

【0137】

次いでシール材を対向基板上に形成した後、対向基板上に液晶を滴下する。ここで液晶を滴下する前に、シール材上に、シール材と液晶が反応することを防ぐために保護膜を形成してもよい。その後アクティブマトリクス基板と対向基板とをシール材で張り合わせる。シール材にはフィラーが混入されている。このフィラーと前記した柱状スペーサによって、アクティブマトリクス基板と対向基板は均一な間隔を持って貼り合わせられる。そして封止剤によって両基板の間を完全に封止する。このようにしてアクティブマトリクス基板と対向基板の間には液晶が封止される。液晶材料には公知の液晶材料を用いれば良い。

【0138】

なお、以下のようにしてアクティブマトリクス基板と対向基板の間に液晶を封止してもよい。まずアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。その後、両基板間を排気しながら両基板間に液晶材料を注入し、封止剤によって両基板の間を完全に封止する。

【0139】

以上の工程によりアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板もしくは双方の基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設ける。そして、公知の技術を用いてフレキシブルプリント基板（Flexible Print Circuit：以下FPCと記載）を、違法性導電膜を介して貼りつける。FPCが貼り付けられる部分には接続電極（図示せず）が例えばITOによって形成されている。この接続電極は、アクティブマトリクス基板の層間絶縁膜および樹脂膜に形成されたコンタクトホールに一部が埋め込まれており、この埋め込まれている部分を介してアクティブマトリクス基板の配線に接続している。

【0140】

こうして得られた液晶モジュールの構成を説明する。アクティブマトリクス基板の中央には画素部が配置されている。画素部には複数の画素が形成されている。画素部の上側には、ソース信号線を駆動するためのソース信号線駆動回路が配置されている。画素部の左右それぞれには、ゲート信号線を駆動するためのゲート信号線駆動回路が配置されている

。ゲート信号線駆動回路は、例えば画素部に対して左右対称配置であるが、片側のみの配置でも良く、液晶モジュールにおける基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、左右対称配置が望ましい。そして各駆動回路への信号の入力は、FPCから行われる。

なお全ての駆動回路を基板の上方に形成してもよい。また駆動回路の一部に数個のICを用いてもよい。

【0141】

[実施例4]

実施例3では、画素電極が反射性を有する金属材料で形成された反射型の表示装置の作製方法を示したが、本実施例では画素電極を、透光性を有する導電膜で形成した透過型の表示装置の作製方法を示す。層間絶縁膜を形成する工程までは実施例1と同じであるので、ここでは実施例1と同一の符号を付して説明を省略する。

【0142】

図12の断面概略図に示すように、実施例1に従って層間絶縁膜400まで形成した後、層間絶縁膜400にコンタクトホールを形成する。次いで、次いで層間絶縁膜400上に透光性を有する導電膜を形成し、この導電膜をパターニングすることにより、接続電極402を複数形成する。これら接続電極402は、コンタクトホールを通じて画素TFTのドレイン領域またはドレイン領域、もしくは容量素子205と接続されている。また、この接続電極と同時に他のTFTのソース領域及びドレイン領域に接続する電極も形成される。

【0143】

次いで接続電極402上及び層間絶縁膜400上に層間絶縁膜409を形成した後、層間絶縁膜409にコンタクトホールを形成する。次いで層間絶縁膜409上に透光性を有する導電膜を形成し、この導電膜をパターニングすることにより画素電極401を形成する。画素電極401はコンタクトホールを通じて接続電極402に接続している。

【0144】

なお透光性を有する導電膜としては、ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）、酸化亜鉛（ ZnO ）、ITOS（酸化珪素を含む酸化インジウムスズ）、GZO（Ga添加 ZnO ）等を用いればよい。

以上のようにしてアクティブマトリクス基板410が形成される。

【0145】

次いで対向基板411を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタ412が設けられている。なお駆動回路206に対応する部分にも遮光層が設けられている。またこのカラーフィルタ412と遮光層とを覆う平坦化膜407が設けられている。また平坦化膜407上には、透光性を有する導電膜からなる対向電極408が画素部207に対応する部分に形成されている。そして対向電極408上を含む全面上には配向膜422が形成され、ラビング処理が施されている。

【0146】

次いでアクティブマトリクス基板410と対向基板411の間に液晶420を封止する。この封止方法は実施例3と同じ方法であり、シール材419及び封止材（図示せず）を用いて行われる。次いで偏光板403等を設けることにより液晶モジュールを作製し、バックライト404、導光板405を設け、カバー406で覆う。このようにして、図12にその断面図の一部を示したようなアクティブマトリクス型液晶表示装置が完成する。

【0147】

なお、カバー406と液晶モジュールは接着剤や有機樹脂を用いて互いに貼り合わせられる。また、基板1と対向基板411を貼り合わせる際、枠で囲んで有機樹脂を枠と基板との間に充填して接着してもよい。また本実施例は透過型であるため、偏光板403はアクティブマトリクス基板と対向基板の両方に貼り付けられる。

【0148】

[実施例5]

10

20

30

40

50

本実施例では、実施例 1 又は 2 により形成されたアクティブマトリクス基板を用いて、電界発光素子を備えた発光表示装置を作製する方法である。電界発光素子は例えば EL (Electro Luminescence) 素子であり、電場を加えること発光する有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極と、陰極とを有している。電界発光素子を用いた発光表示装置にとって、TFT はアクティブマトリクス駆動方式を実現する上で、必須の素子となっている。すなわち電界発光素子を用いた発光表示装置には、少なくとも、スイッチング素子として機能する TFT と、電界発光素子に電流を供給する TFT とが、各画素に設けられている。この発光表示装置において画素の輝度は、画素の回路構成及び駆動方法によらず、電界発光素子に電流を供給する TFT のオン電流 (I_{on}) で決定される。このため、例えば、全面白表示とした場合、各画素のオン電流が一定でなければ画面の表示にばらつきが生じてしまう。これに対して本実施例では、上記したように TFT のオン電流のばらつきが小さくなるため、画面の表示にばらつきは生じにくくなっている。なお、有機化合物 (有機発光材料) を含む層に無機材料 (シリコンまたは酸化シリコンなど) を含んでいてもよい。

10

以下実施例 1 と同一の構成については同一の符号を付し、説明を省略する。

【0149】

図 13 (A) は、表示モジュールを示す上面図、図 13 (B) は図 13 (A) を A-A' で切断した断面図である。基板 1 には、中央部に画素部 207 が形成されていると共に、駆動回路部にソース側駆動回路 206a 及びゲート側駆動回路 206b が形成されている。ソース側駆動回路 206a 及びゲート側駆動回路 206b は、TFT の構造を除いて実施例 1 の駆動回路 206 と略同一の構成である。また基板 1 の上方には封止基板 1a が配置されているが、基板 1 と封止基板 1a の間の空間はシール材 518 によりシールされている。

20

【0150】

基板 1 のうち封止基板 1a と重なっていない部分には配線 508 が配置されている。配線 508 は、外部入力端子となる FPC 509 からビデオ信号やクロック信号を受け取り、これら信号をソース側駆動回路 206a 及びゲート側駆動回路 206b に伝送するための配線である。なお、ここでは FPC しか図示されていないが、この FPC にはプリント配線基板 (PWB) が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それに FPC もしくは PWB が取り付けられた状態をも含むものとする。

30

【0151】

次に、断面構造について図 13 (B) を参照して説明する。基板 1 上に絶縁膜 510 が設けられ、絶縁膜 510 の上方には画素部 207、ゲート側駆動回路 206b が形成されている。画素部 207 には電流制御用 TFT 511、電流制御用 TFT 511 のドレインに電氣的に接続された第 1 の電極 512 を含む複数の画素、及びスイッチング用 TFT 513 が形成されている。また、ゲート側駆動回路 206b は n チャネル型 TFT 523 と p チャネル型 TFT 524 とを組み合わせた CMOS 回路を用いて形成されている。

これらの TFT (511、513、523、524 を含む) は逆スタガ型の TFT であるが、これらを作製するには上記第 4 の実施形態に従えばよい。

40

【0152】

第 1 の電極 512 は電界発光素子 (EL 素子) の陽極として機能する。第 1 の電極 512 には、可視光に対して透明又は半透明であり、かつ仕事関数の大きい材料 (例えば ITO、インジウム亜鉛酸化物、窒化チタン、クロム、タングステン、ジルコニウム、プラチナなどの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層膜、またはこの積層膜と窒化チタン膜との 3 層膜等) を用いるのが好ましい。なお積層構造にすると、配線抵抗が低くなり、また良好なオーミックコンタクトを得ることができる。

また第 1 の電極 512 上には電界発光層 (例えば EL 層) 516 および第 2 の電極 517 が形成される。

【0153】

50

電界発光層 516 は、発光層、電荷輸送層または電荷注入層により形成されるが、これらの組み合わせは任意である。例えば、発光層として低分子系有機 EL 材料や高分子系有機 EL 材料を用いればよいが、一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることもできる。また、電荷輸送層及び電荷注入層として炭化珪素等の無機材料を用いることも可能である。これら以外にも公知の材料を用いることができる。なお電界発光層 516 は、蒸着マスクを用いた蒸着法、又は液滴吐出法（インクジェット法）によって形成される。

【0154】

第 2 の電極 517 は電界発光素子の陰極として機能するが、全画素に共通の配線としても機能し、配線 508 を経由して FPC 509 に電氣的に接続されている。画素部 207 に含まれる素子は全て電界発光層 516 及び第 2 の電極 517 で覆われている。ただし第 1 の電極 512 を除く各素子と電界発光層 516 の間には絶縁層 514 が設けられている。第 2 の電極 517 は、仕事関数の小さい材料（Al、Ag、Li、Ca またはこれらの合金 MgAg、MgIn、AlLi、CaF₂ または CaN）を用いればよい。

また基板 1 と封止基板 1a の間の空間には充填材 507 が充填されている。充填材 507 には例えば Ar 等の不活性気体、シール材、又は乾燥剤を用いることができる。

【0155】

以上のような構造をとることにより、基板 1 側に発光する発光表示装置を得ることができる。そして発光素子をシール材 518 及び保護膜で封止し、外部から完全に遮断することができる。これにより外部から水分や酸素等の電界発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0156】

なお実施例 5 の第 1 の変形例として図 13 とは逆方向すなわち封止基板 1a 側に発光する構成としてもよい。この場合、第 1 の電極 512 は発光素子の陰極として機能し、第 2 の電極 517 は陽極として機能する。そして第 2 の電極 517 は、例えば薄い金属膜の上に透明材料（例えば ITO、In₂O₃-ZnO、又は ZnO）を積層した構造となる。

【0157】

また実施例 5 の第 2 の変形例として、第 1 の電極 512 及び第 2 の電極 517 の双方を光透過性の材料で形成してもよい。この場合発光表示装置は基板 1 側と封止基板 1a 側の両面から発光する。

【0158】

〔実施例 6〕

本発明を実施して形成された駆動回路や画素部は、実施例 3～5 に示すように、様々な表示モジュール（アクティブマトリクス型液晶モジュール、アクティブマトリクス型電界発光モジュール）に用いることができる。そして本実施例では、これら表示モジュールを組み込んだ電子機器を示す。

【0159】

ここで電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 14 及び図 15 に示す。

【0160】

図 14（A）はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。この表示部 2003 に、実施例 3～5 に示した方法で作製された表示モジュールが用いられる。

【0161】

図 14（B）はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。この表示

10

20

30

40

50

部 2 1 0 2 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。

【 0 1 6 2 】

図 1 4 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。この表示部 2 2 0 5 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。

【 0 1 6 3 】

図 1 4 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。この表示部 2 3 0 2 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。

10

【 0 1 6 4 】

図 1 4 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。表示部 2 4 0 2 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。

【 0 1 6 5 】

図 1 4 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。この表示部 2 5 0 2 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。

20

【 0 1 6 6 】

図 1 5 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6、画像入力部 (CCD、イメージセンサ等) 2 9 0 7 等を含む。この表示部 2 9 0 4 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。

【 0 1 6 7 】

図 1 5 (B) は携帯書籍 (電子書籍) であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。この表示部 3 0 0 2、3 0 0 3 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。

30

【 0 1 6 8 】

図 1 5 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。この表示部 3 1 0 3 に、実施例 3 ～ 5 に示した方法で作製された表示モジュールが用いられる。ちなみに図 1 4 (C) に示すディスプレイは中小型または大型のもの、例えば 5 ～ 20 インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一辺が 1 m のものを用い、多面取りを行って量産することが好ましい。

【 0 1 6 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。

40

【 0 1 7 0 】

尚、本発明は上述した実施形態に限定されるものではなく、本発明の主旨を逸脱しない範囲内で種々変更して実施することが可能である。

【図面の簡単な説明】

【 0 1 7 1 】

【図 1】 本発明の第 1 の実施形態に係る半導体装置の作製方法を示す図。

【図 2】 図 1 の次の工程を示す図。

【図 3】 第 1 の実施形態により作製された結晶化半導体膜の表面の SEM 写真。

【図 4】 第 2 の実施形態に係る半導体装置の作製方法を示す図。

50

【図 5】第 2 のレーザー光のエネルギー密度とピンホール数の関係を示すグラフ。

【図 6】実験により作製した結晶性シリコン膜の表面の S E M 写真

【図 7】第 3 の実施形態に係る半導体装置の作製方法を示す図。

【図 8】第 4 の実施形態に係る半導体装置の作製方法を示す図。

【図 9】実施例 1 に係るアクティブマトリクス基板の作製方法を示す図。

【図 10】図 9 の次の工程を示す図。

【図 11】図 10 の次の工程を示す図。

【図 12】実施例 4 に係るアクティブマトリクス型液晶表示装置を示す断面概略図。

【図 13】(A) は実施例 5 に係る発光表示装置の平面概略図、(B) は (A) の A - A 断面図。

【図 14】実施例 6 に係る電子機器であり、本発明を用いて作製された表示装置を用いた電子機器の概略図。

【図 15】実施例 6 に係る電子機器であり、本発明を用いて作製された表示装置を用いた電子機器の概略図。

【図 16】結晶化半導体膜にピンホールができる第 1 の理由を示す図。

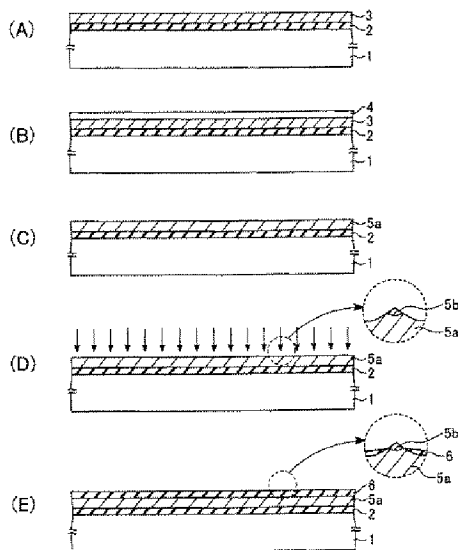
【図 17】結晶化半導体膜にピンホールができる第 2 の理由を示す図。

【符号の説明】

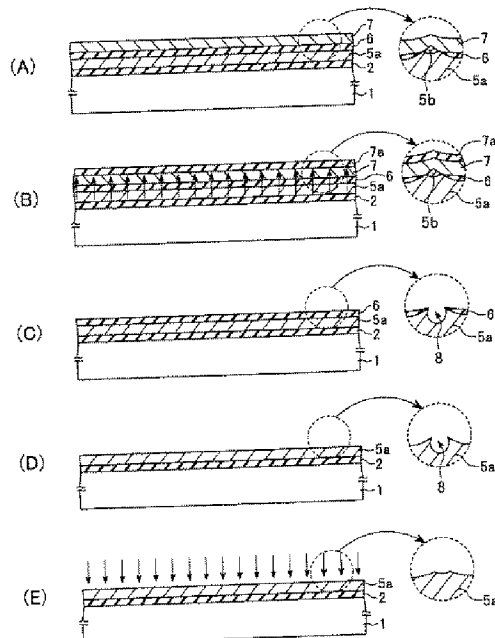
【0172】

1…基板、2…下地絶縁膜、3…非晶質半導体膜、4…金属含有層、5a…結晶化半導体膜、6…バリア層、7…ゲッタリング層、8…ピンホール、10…結晶化半導体層、12…ゲート絶縁膜、13…ゲート電極、14…ソース領域、15…ドレイン領域、16…層間絶縁膜、17…ゲート電極、18…ドレイン電極

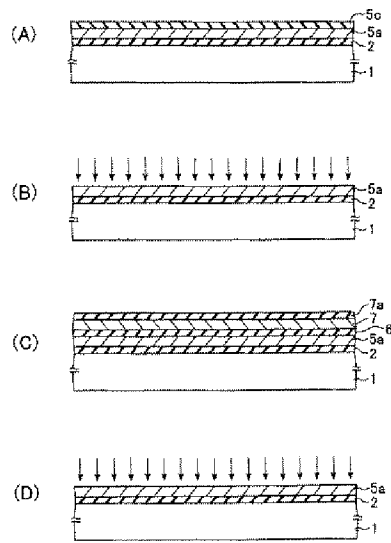
【図 1】



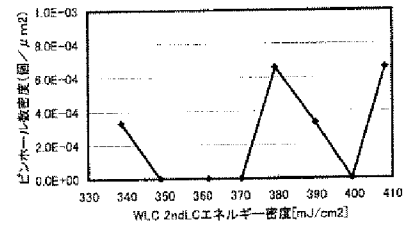
【図 2】



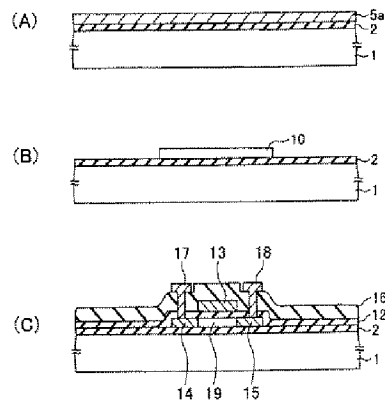
【図 4】



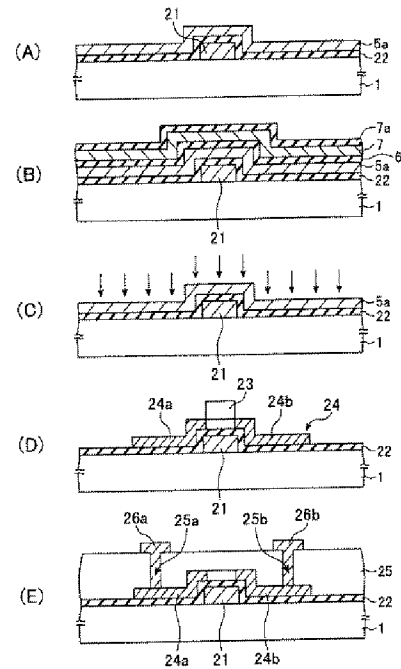
【図 5】



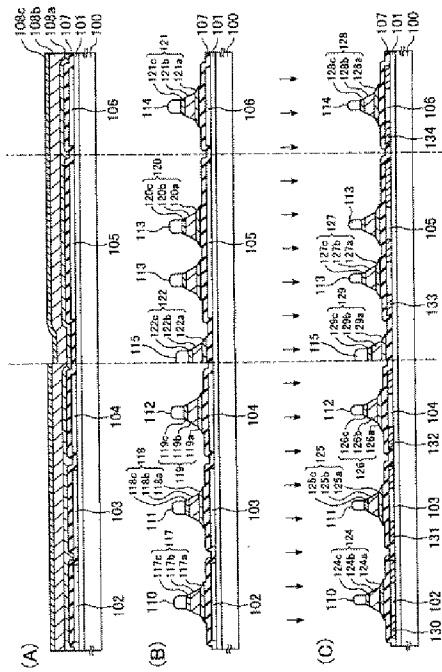
【図 7】



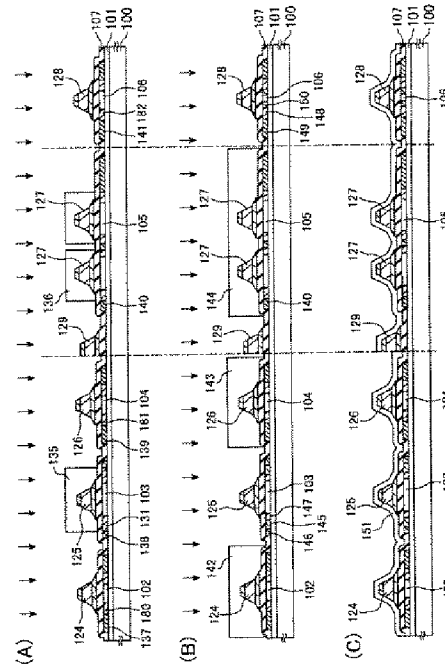
【図 8】



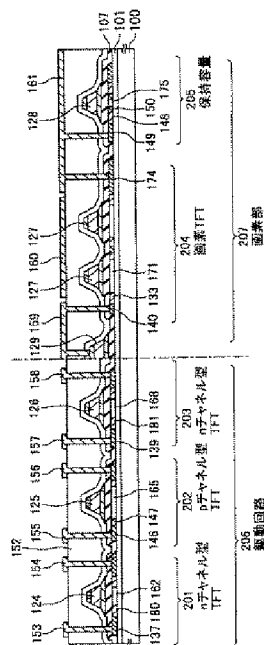
【図 9】



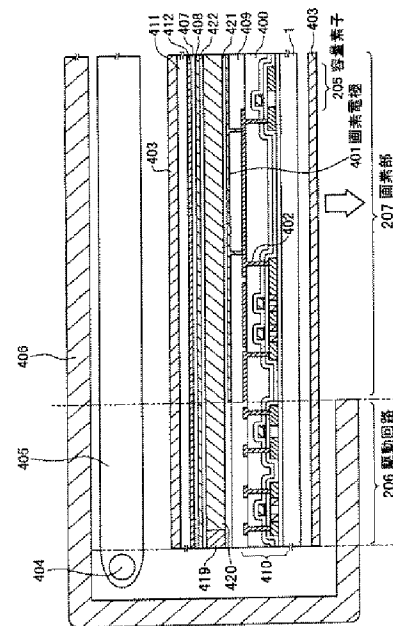
【図 10】



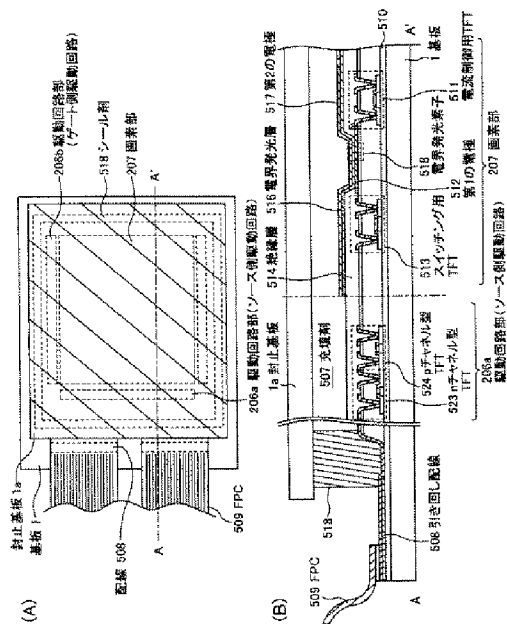
【図 11】



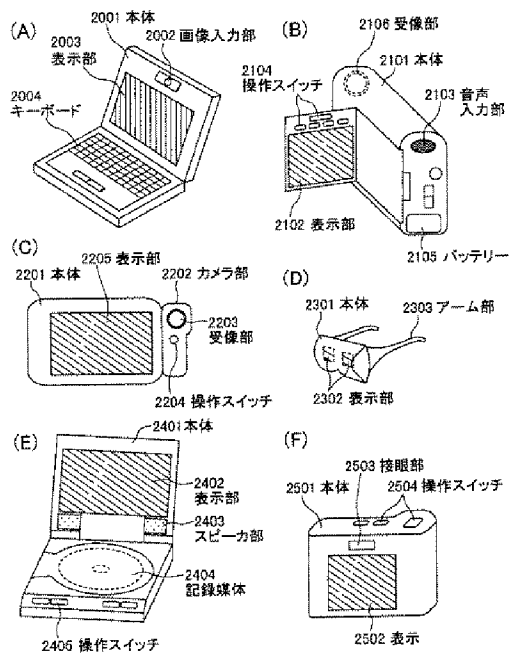
【図 12】



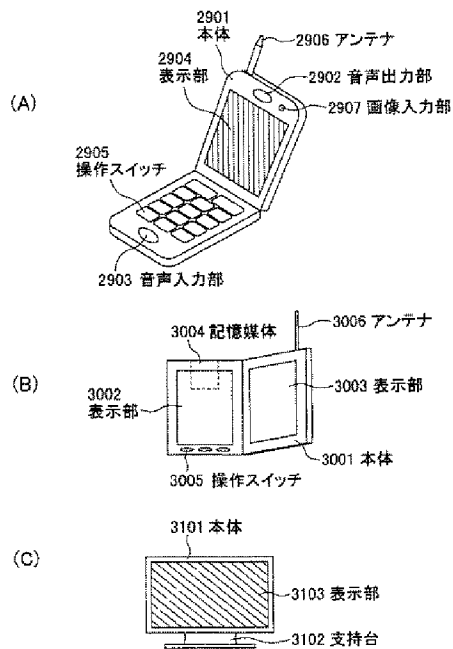
【図 1 3】



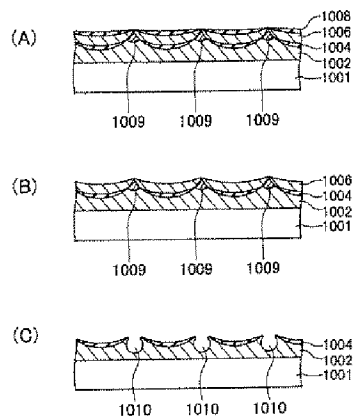
【図 1 4】



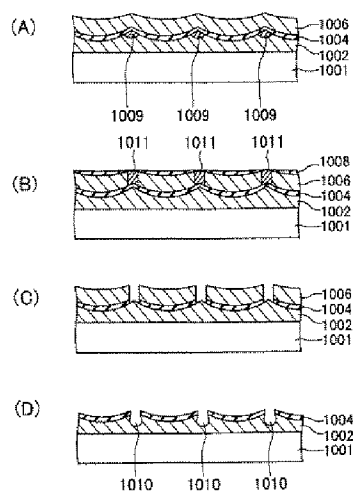
【図 1 5】



【図 1 6】

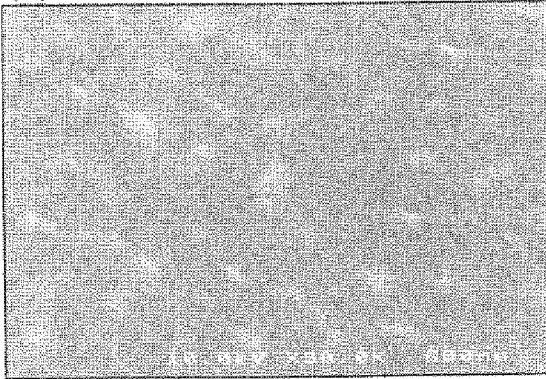


【図 17】



【図3】

(A)

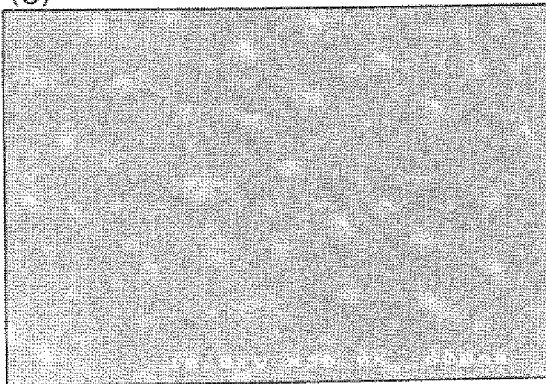


第2のレーザー光照射なし

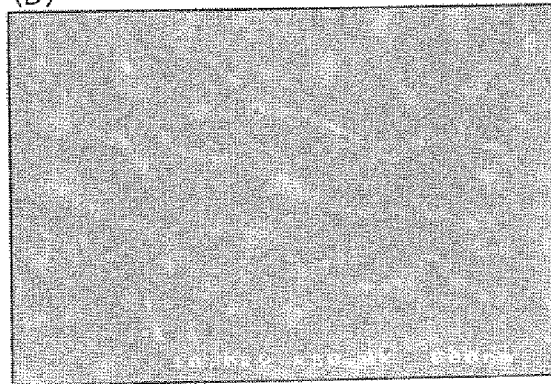
(B)

第2のレーザー光=369.5mJ/cm²

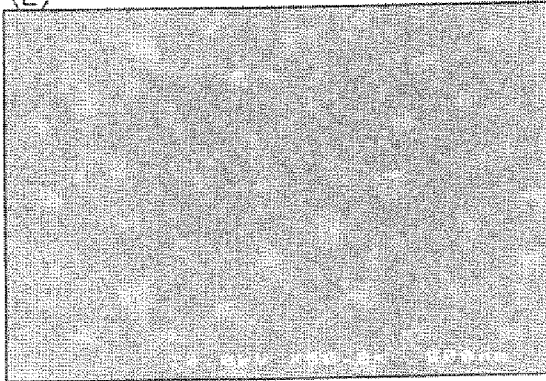
(C)

第2のレーザー光=351.7mJ/cm²

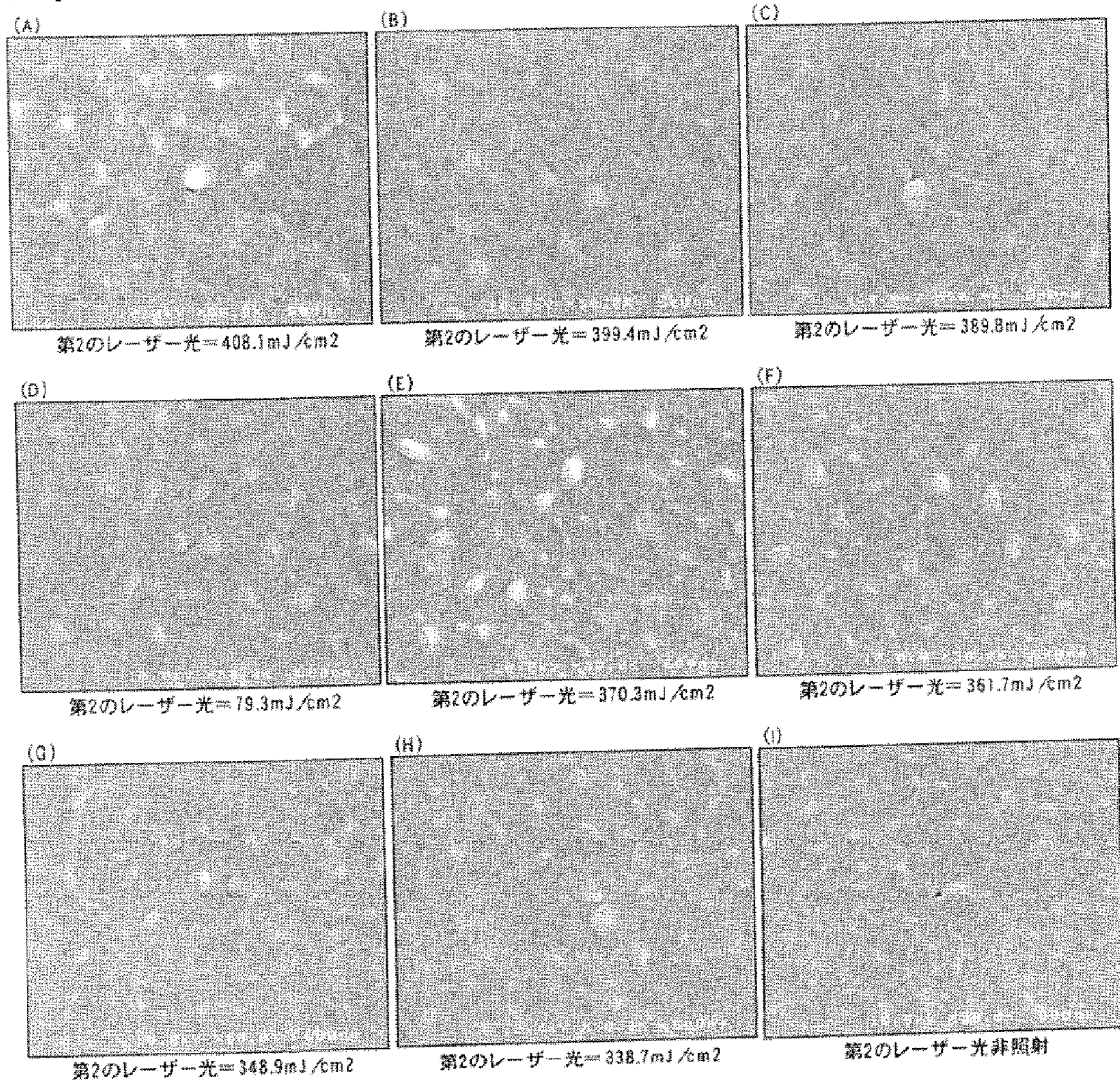
(D)

第2のレーザー光=328.3mJ/cm²

(E)

第2のレーザー光=309.0mJ/cm²

【図6】



フロントページの続き

(51)Int. Cl.⁷

F I

テーマコード (参考)

H 0 5 B 33/14

H 0 1 L 29/78 6 2 7 Z

F ターム(参考) 5F052 AA02 AA17 AA24 BA07 BB02 BB05 BB07 DA02 DA03 DB02
DB03 DB07 EA12 EA15 EA16 FA06 FA19 HA01 JA01
5F110 AA12 AA26 BB02 BB04 CC02 CC05 CC08 DD01 DD02 DD03
DD05 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE06
EE09 EE14 EE15 EE23 EE44 FF04 FF30 GG01 GG02 GG13
GG25 GG32 GG43 GG45 GG47 HJ01 HJ04 HJ13 HJ18 HJ23
HL02 HL03 HL04 HL06 HL11 HM15 NN03 NN04 NN23 NN24
NN27 NN35 NN73 PP01 PP02 PP03 PP04 PP05 PP06 PP10
PP13 PP29 PP34 PP35 QQ04 QQ09 QQ11 QQ23 QQ25 QQ28